2. Japanese Patent Application Laid-Open No. Hei 11-346150

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

[Claim(s)]

[Claim 1] It is the output circuit which outputs the output signal which is constituted and changes from a CMOS inverter circuit on external power level based on the input signal made binary. An electrical potential difference only with the low threshold of high potential side power-source level to a PMOS transistor, If the gate of each transistor is supplied from low voltage side power-source level by making the electrical potential difference between electrical potential differences only with the high threshold of an NMOS transistor into reference voltage and said input signal is set to the 1st level While raising the source potential of both transistors synchronously and making source potential of a PMOS transistor into high potential side power-source level If the electrical potential difference between the gate sources of an NMOS transistor is made lower than the threshold and said input signal is set to the 2nd level The output circuit characterized by having the potential control circuit which makes the electrical potential difference between the gate sources of a PMOS transistor lower than the threshold while dropping the source potential of both transistors synchronously and making source potential of an NMOS transistor into low voltage side power-source level.

[Claim 2] In an output circuit according to claim 1 said potential control circuit An electrical potential difference only with the low threshold of high potential side power-source level to a PMOS transistor, The reference voltage generating circuit supplied to the gate of each transistor from low voltage side power-source level by making the constant voltage between electrical potential differences only with the high threshold of an NMOS transistor into reference voltage, If said input signal is set to the 1st level, while raising the source potential of both transistors synchronously and making source potential of a PMOS transistor into high potential side power-source level If the electrical potential difference between the gate sources of an NMOS transistor is made lower than the threshold and said input signal is set to the 2nd level While dropping the source potential of both transistors synchronously and

making source potential of an NMOS transistor into low voltage side power-source level The output circuit characterized by constituting the electrical potential difference between the gate sources of a PMOS transistor from a source potential control circuit made lower than the threshold.

[Claim 3] In an output circuit according to claim 2 said source potential control circuit It intervenes between the source of said PMOS transistor, and a high potential side power source. The 1st source follower circuit which consists of an NMOS transistor into which the 1st input signal which changes to the gate between high potential side power-source level and said reference voltage level is inputted, It intervenes between the source of said NMOS transistor, and a low voltage side power source. The output circuit characterized by constituting from the 2nd source follower circuit which consists of a PMOS transistor into which the 2nd input signal which changes to the gate in this direction synchronizing with said 1st input signal, and changes between said reference voltage level and low voltage side power-source level is inputted.

[Claim 4] In an output circuit according to claim 2 said source potential control circuit While the 1st input signal which a high potential side power source and the power source of said reference voltage level are supplied as a power source of operation, and changes to the input terminal between high potential side power-source level and said reference voltage level is inputted The 1st inverter circuit which supplies the output signal based on the input signal to the source of said PMOS transistor, The power source of said reference voltage level and a low voltage side power source are supplied as a power source of operation. While the 2nd input signal which changes to the input terminal in this direction synchronizing with said 1st input signal, and changes between said reference voltage level and low voltage side power-source level is inputted The output circuit characterized by constituting the output signal based on the input signal from the 2nd inverter circuit supplied to the source of said NMOS transistor.

[Claim 5] In an output circuit according to claim 2 said source potential control circuit The timing to which the source potential of said NMOS transistor is changed at the time of starting of said output signal From the timing to which the source potential of said PMOS transistor is changed, a comb and said output signal already bring down and it sometimes sets. The output circuit characterized by making later than the timing to which the source potential of said PMOS transistor is changed timing to which the source potential of said NMOS transistor is changed.

[Claim 6] The level converter circuit characterized by having an output circuit according to claim 3 or 4 and the input signal conversion circuit which changes an input signal into the 2nd input signal which changes in this direction synchronizing with said 1st

input signal and its 1st input signal, and outputs the 1st and 2nd changed input signals to said output circuit.

[Claim 7] In a level converter circuit according to claim 6 said input signal conversion circuit While connecting the 1st current Miller circuit and resistance to a serial between a high potential side power source and the power source of said reference voltage level It constitutes from the 1st switching circuit which changes the 1st current Miller circuit to an active state or a non-active state based on said input signal. The 1st input signal conversion circuit section which outputs said 1st input signal to said output circuit from the node of the 1st current Miller circuit and resistance, While connecting the 2nd current Miller circuit and resistance to a serial between the power source of said reference voltage level, and a low voltage side power source It constitutes from the 2nd switching circuit which changes the 2nd current Miller circuit to an active state or a non-active state based on said input signal. The level converter circuit characterized by consisting of the 2nd input signal conversion circuit section which outputs said 2nd input signal which changes in this direction from the node of the 2nd current Miller circuit and resistance synchronizing with said 1st input signal to said output circuit.

[Claim 8] In a level converter circuit according to claim 6 the <DP N=0003> aforementioned input signal conversion circuit While connecting the 1st and 3rd current Miller circuits to a serial between a high potential side power source and the power source of said reference voltage level The 1st switching circuit which changes the 1st current Miller circuit to an active state or a non-active state based on said input signal, It constitutes from the 3rd switching circuit which carries out complementary actuation of the 3rd current Miller circuit to said 1st current Miller circuit based on said input signal. The 1st input signal conversion circuit section which outputs said 1st input signal to said output circuit from the node of both current Miller circuit, While connecting the 2nd and 4th current Miller circuits to a serial between the power source of said reference voltage level, and a low voltage side power source The 2nd switching circuit which changes the 2nd current Miller circuit to an active state or a non-active state based on said input signal, It constitutes from the 4th switching circuit which carries out complementary actuation of the 4th current Miller circuit to said 2nd current Miller circuit based on said input signal. The level converter circuit characterized by consisting of the 2nd input signal conversion circuit section which outputs said 2nd input signal which changes in this direction from the node of both current Miller circuit synchronizing with said 1st input signal to said output circuit.

[Claim 9] In a level converter circuit according to claim 6 said input signal It is the signal which changes between said reference voltage level and low voltage side power-source level. Said input signal conversion circuit While connecting the 1st and 3rd

current Miller circuits to a serial between a high potential side power source and the power source of said reference voltage level The 1st switching circuit which changes the 1st current Miller circuit to an active state or a non-active state based on said input signal, It constitutes from the 3rd switching circuit which carries out complementary actuation of the 3rd current Miller circuit to said 1st current Miller circuit based on said input signal. The 1st input signal conversion circuit section which outputs said 1st input signal to said output circuit from the node of both current Miller circuit, The level converter circuit characterized by consisting of the 2nd input signal conversion circuit section which outputs said input signal to said output circuit as said 2nd input signal which changes in this direction synchronizing with said 1st input signal.

[Claim 10] In a level converter circuit according to claim 6 said input signal conversion circuit The 1st current Miller circuit which changes said 1st input signal level to high potential side power-source level, The 3rd current Miller circuit which changes said 1st input signal level to said reference voltage level, The 1st latch circuit which maintains the level of said 1st input signal until said input signal changes, The 1st switching circuit which changes the 1st current Miller circuit to an active state or a non-active state, The 1st input signal conversion circuit section constituted from the 3rd switching circuit which carries out complementary actuation of the 3rd current Miller circuit to the 1st current Miller circuit, The 2nd current Miller circuit which changes said 2nd input signal level to said reference voltage level, The 4th current Miller circuit which changes said 2nd input signal level to a low voltage side power source, The 2nd latch circuit which maintains the level of said 2nd input signal until said input signal changes, The 2nd switching circuit which changes the 2nd current Miller circuit to an active state or a non-active state, The 2nd input signal conversion circuit section constituted from the 4th switching circuit which carries out complementary actuation of the 4th current Miller circuit to the 4th current Miller circuit, While said input signal is changed into a single shot pulse signal, and only predetermined time activates the 1st and 2nd current Miller circuits synchronously through the 1st and 2nd switching circuits The level converter circuit characterized by consisting of a single-shot trigger circuit which synchronizes and only predetermined time makes activate the 3rd and 4th current Miller circuits through the 3rd and 4th switching circuits.

[Claim 11] The logical circuit characterized by equipping the output stage with an output circuit according to claim 1 to 5.

[Claim 12] The operational amplifier circuit characterized by equipping the output stage with an output circuit according to claim 1 to 5.

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the output circuit which consists of transistors and the level converter circuit equipped with the output circuit, a logical circuit, and an operational amplifier circuit, and relates to the output circuit in which an output of the output signal of the amplitude exceeding pressure-proofing of the transistor is possible in detail and the level converter circuit equipped with the output circuit, a logical circuit, and an operational amplifier circuit.

[0002] With semiconductor integrated circuit equipment in recent years, detailed-ization is progressing increasingly. Therefore, in the above-mentioned output circuit, pressure-proofing of the transistor which constitutes this circuit is lower than external power level. On the other hand, with semiconductor integrated circuit equipment in recent years, it is becoming in use to form a various functions circuit into 1 chip. Therefore, it is necessary to enlarge the amplitude of an output signal to external power level in the above-mentioned output circuit. So, in such an output circuit, it is required that the output of the output signal which changes on external power level should be enabled, preventing breakage of a transistor.

[0003]

[Description of the Prior Art] Conventionally, in the output circuit which consists of a CMOS inverter circuit, there are some which the high potential side power source Vdd (5 volts) and the low voltage side power source Vss (0 volt) are supplied, and are being driven from the exterior. The input signal which operates with the full amplitude in the range of a power source Vdd and Vss level is inputted into the input terminal of this inverter circuit. And from the output terminal of an inverter circuit, the reversal signal of the input signal is outputted as an output signal.

[0004] Pressure-proofing of the MOS transistor which constitutes this equipment from detailed-ization of semiconductor integrated circuit equipment in recent years on the other hand as described above has been falling from a power source Vdd and Vss level. However, the MOS transistor which constitutes said output circuit needs the pressure-proofing more than the difference electrical potential difference of power sources Vdd and Vss to output the output signal which carries out full amplitude actuation in the range of a power source Vdd and Vss level. Therefore, the MOS transistor of high pressure-proofing is specially prepared for the MOS transistor which constitutes an output circuit. the MOS transistor which constitutes an output circuit specifically repeats a gate oxide generation process twice specially in the manufacture process -- gate dielectric film -- a thick film -- high pressure-proofing is-izing and formed.

[0005]

[Problem(s) to be Solved by the Invention] However, with the gestalt which repeats a

gate oxide generation process twice and thick-film-izes gate dielectric film, since dispersion in the property of an MOS transistor becoming large and a special process is required, the problem that the manufacturing cost of semiconductor integrated circuit equipment rises arises.

[0006] Moreover, if the gate dielectric film of an MOS transistor is thick-film-ized, the threshold of a transistor will become high and on resistance will become large. Therefore, the drive capacity of a transistor will decline. Therefore, in order to make drive capacity of a transistor high, it is necessary to enlarge size of a transistor and this serves as hindrance of high integration of semiconductor integrated circuit equipment.

[0007] Then, the output circuit in which an output of the output signal which changes on a power source Vdd and Vss level is possible has been needed, without raising pressure-proofing of an MOS transistor. It is made in order that this invention may solve the above-mentioned trouble, and the purpose is in offering the output circuit which may output the output signal of the amplitude exceeding pressure-proofing of an MOS transistor and the level converter circuit equipped with the output circuit, a logical circuit, and an operational amplifier circuit in the output circuit which consists of a CMOS inverter circuit.

[0008]

[Means for Solving the Problem] Drawing 1 is the principle explanatory view of claim 1. That is, an output circuit outputs the output signal out which is constituted and changes from the CMOS inverter circuit 1 on an external power V1 and V2 level based on the input signal in made binary. The potential control circuit 2 is high potential side power-source V1 level to the PMOS transistor TP. An electrical potential difference only with a low threshold, Low voltage side power-source V2 level to NMOS transistor TN They are each transistors TP and TN, using the electrical potential difference between electrical potential differences only with a high threshold as reference voltage V3. If the gate is supplied and said input signal in is set to the 1st level Both transistors TP and TN Source potential is raised synchronously and it is the PMOS transistor TP. While making source potential into high potential side power-source V1 level NMOS transistor TN If the electrical potential difference between the gate sources is made lower than the threshold and said input signal in is set to the 2nd level Both transistors TP and TN Source potential is dropped synchronously and it is the NMOS transistor TN. While making source potential into low voltage side power-source V2 level, it is the PMOS transistor TP. The electrical potential difference between the gate sources is made lower than the threshold.

[0009] Invention according to claim 2 is set to an output circuit according to claim 1. Said potential control circuit An electrical potential difference only with the low threshold of high potential side power-source level to a PMOS transistor, The reference voltage

generating circuit supplied to the gate of each transistor from low voltage side power-source level by making the constant voltage between electrical potential differences only with the high threshold of an NMOS transistor into reference voltage, If said input signal is set to the 1st level, while raising the source potential of both transistors synchronously and making source potential of a PMOS transistor into high potential side power-source level If the electrical potential difference between the gate sources of an NMOS transistor is made lower than the threshold and said input signal is set to the 2nd level While dropping the source potential of both transistors synchronously and making source potential of an NMOS transistor into low voltage side power-source level, the electrical potential difference between the gate sources of a PMOS transistor consisted of source potential control circuits made lower than the threshold.

[0010] Invention according to claim 3 is set to an output circuit according to claim 2. Said source potential control circuit It intervenes between the source of said PMOS transistor, and a high potential side power source. The 1st source follower circuit which consists of an NMOS transistor into which the 1st input signal which changes to the gate between high potential side power-source level and said reference voltage level is inputted, It intervenes between the source of said NMOS transistor, and a low voltage side power source. It constituted from the 2nd source follower circuit which consists of a PMOS transistor into which the 2nd input signal which changes to the gate in this direction synchronizing with said 1st input signal, and changes between said reference voltage level and low voltage side power-source level is inputted.

[0011] Invention according to claim 4 is set to an output circuit according to claim 2. Said source potential control circuit While the 1st input signal which a high potential side power source and the power source of said reference voltage level are supplied as a power source of operation, and changes to the input terminal between high potential side power-source level and said reference voltage level is inputted The 1st inverter circuit which supplies the output signal based on the input signal to the source of said PMOS transistor, The power source of said reference voltage level and a low voltage side power source are supplied as a power source of operation. While the 2nd input signal which changes to the input terminal in this direction synchronizing with said 1st input signal, and changes between said reference voltage level and low voltage side power-source level is inputted The output signal based on the input signal consisted of the 2nd inverter circuit supplied to the source of said NMOS transistor.

[0012] Invention according to claim 5 is set to an output circuit according to claim 2. Said source potential control circuit The timing to which the source potential of said NMOS transistor is changed at the time of starting of said output signal Timing which a comb and

said output signal already bring [timing] down and sometimes changes the source potential of said NMOS transistor from the timing to which the source potential of said PMOS transistor is changed was made later than the timing to which the source potential of said PMOS transistor is changed.

[0013] Invention according to claim 6 was equipped with the output circuit according to claim 3 or 4 and the input signal conversion circuit which changes an input signal into the 2nd input signal which changes in this direction synchronizing with said 1st input signal and its 1st input signal, and outputs the 1st and 2nd changed input signals to said output circuit.

[0014] Invention according to claim 7 is set in a level converter circuit according to claim 6. Said input signal conversion circuit While connecting the 1st current Miller circuit and resistance to a serial between a high potential side power source and the power source of said reference voltage level It constitutes from the 1st switching circuit which changes the 1st current Miller circuit to an active state or a non-active state based on said input signal. The 1st input signal conversion circuit section which outputs said 1st input signal to said output circuit from the node of the 1st current Miller circuit and resistance, While connecting the 2nd current Miller circuit and resistance to a serial between the power source of said reference voltage level, and a low voltage side power source It constitutes from the 2nd switching circuit which changes the 2nd current Miller circuit to an active state or a non-active state based on said input signal. It consists of the 2nd input signal conversion circuit section which outputs said 2nd input signal which changes in this direction from the node of the 2nd current Miller circuit and resistance synchronizing with said 1st input signal to said output circuit.

[0015] Invention according to claim 8 is set in a level converter circuit according to claim 6. Said input signal conversion circuit While connecting the 1st and 3rd current Miller circuits to a serial between a high potential side power source and the power source of said reference voltage level The 1st switching circuit which changes the 1st current Miller circuit to an active state or a non-active state based on said input signal, It constitutes from the 3rd switching circuit which carries out complementary actuation of the 3rd current Miller circuit to said 1st current Miller circuit based on said input signal. The 1st input signal conversion circuit section which outputs said 1st input signal to said output circuit from the node of both current Miller circuit, While connecting the 2nd and 4th current Miller circuits to a serial between the power source of said reference voltage level, and a low voltage side power source The 2nd switching circuit which changes the 2nd current Miller circuit to an active state or a non-active state based on said input signal, It constitutes from the 4th switching circuit which carries out complementary actuation of the 4th current Miller circuit to said 2nd current Miller circuit based on said input signal. It consists of the 2nd input signal conversion circuit section which outputs said 2nd input signal which changes in this direction from the

node of both current Miller circuit synchronizing with said 1st input signal to said output circuit.

[0016] Invention according to claim 9 is set in a level converter circuit according to claim 6. Said input signal It is the signal which changes between said reference voltage level and low voltage side power-source level. Said input signal conversion circuit While connecting the 1st and 3rd current Miller circuits to a serial between a high potential side power source and the power source of said reference voltage level The 1st switching circuit which changes the 1st current Miller circuit to an active state or a non-active state based on said input signal, It constitutes from the 3rd switching circuit which carries out complementary actuation of the 3rd current Miller circuit to said 1st current Miller circuit based on said input signal. The 1st input signal conversion circuit section which outputs said 1st input signal to said output circuit from the node of both current Miller circuit, It consists of the 2nd input signal conversion circuit section which outputs said input signal to said output circuit as said 2nd input signal which changes in this direction synchronizing with said 1st input signal.

[0017] Invention according to claim 10 is set in a level converter circuit according to claim 6. Said input signal conversion circuit The 1st current Miller circuit which changes said 1st input signal level to high potential side power-source level, The 3rd current Miller circuit which changes said 1st input signal level to said reference voltage level, The 1st latch circuit which maintains the level of said 1st input signal until said input signal changes, The 1st switching circuit which changes the 1st current Miller circuit to an active state or a non-active state, The 1st input signal conversion circuit section constituted from the 3rd switching circuit which carries out complementary actuation of the 3rd current Miller circuit to the 1st current Miller circuit, The 2nd current Miller circuit which changes said 2nd input signal level to said reference voltage level, The 4th current Miller circuit which changes said 2nd input signal level to a low voltage side power source, The 2nd latch circuit which maintains the level of said 2nd input signal until said input signal changes, The 2nd switching circuit which changes the 2nd current Miller circuit to an active state or a non-active state, The 2nd input signal conversion circuit section constituted from the 4th switching circuit which carries out complementary actuation of the 4th current Miller circuit to the 4th current Miller circuit, While said input signal is changed into a single shot pulse signal, and only predetermined time activates the 1st and 2nd current Miller circuits synchronously through the 1st and 2nd switching circuits It consists of a single-shot trigger circuit which synchronizes and only predetermined time makes activate the 3rd and 4th current Miller circuits through the 3rd and 4th switching circuits.

[0018] Invention according to claim 11 equipped the output stage with the output circuit according to claim 1 to 5. Invention according to claim 12 equipped the output stage

with the output circuit according to claim 1 to 5.

[0019] (Operation) Therefore, if an input signal in is set to the 1st level by the potential control circuit 2 according to invention according to claim 1, they are both the transistors TP and TN. Source potential synchronizes, and it goes up and is the PMOS transistor TP. Source potential is made into high potential side power-source V1 level, and it is the NMOS transistor TN. The electrical potential difference between the gate sources is made lower than the threshold. On the other hand, if an input signal in is set to the 2nd level, they are both the transistors TP and TN. Source potential synchronizes and descends and it is the NMOS transistor TN. Source potential is made into low voltage side power-source V2 level, and it is the PMOS transistor TP. The electrical potential difference between the gate sources is made lower than the threshold. That is, an external power V1 and the output signal out which carries out full amplitude actuation in the range of V2 level are outputted, making below into the difference electrical potential difference of external powers V1 and V2 the electrical potential difference impressed between the gate of each transistors TP1 and TN1, and a source drain. Therefore, the output signal out of the amplitude exceeding pressure-proofing of each transistors TP1 and TN1 can be outputted, without raising pressure-proofing of each transistors TP1 and TN1.

[0020] According to invention according to claim 2, if an input signal is set to the 1st level, the source potential of both transistors synchronizes and it goes up, and source potential of a PMOS transistor will be made high potential side power-source level by a reference voltage generating circuit and the source potential control circuit, and the electrical potential difference between the gate sources of an NMOS transistor will be made lower than the threshold. On the other hand, if an input signal is set to the 2nd level, the source potential of both transistors synchronizes and descends, source potential of an NMOS transistor will be made into low voltage side power-source level, and the electrical potential difference between the gate sources of a PMOS transistor will be made lower than the threshold. That is, the output signal which carries out full amplitude actuation in the range of external power level is outputted, making below into the difference electrical potential difference of an external power the electrical potential difference impressed between the gate of each transistor, and a source drain. Therefore, the output signal of the amplitude exceeding pressure-proofing of each transistor can be outputted, without raising pressure-proofing of each transistor.

[0021] According to invention according to claim 3, if the 1st input signal is set to high potential side power-source level and the 2nd input signal is set to a reference voltage level, the source potential of both transistors synchronizes and it goes up, and source potential of a PMOS transistor will be made high potential side power-source level by the 1st

and 2nd source follower circuits, and the electrical potential difference between the gate sources of an NMOS transistor will be made lower than the threshold (electrical-potential-difference zero between the gate sources). On the other hand, if the 1st input signal is set to a reference voltage level and the 2nd input signal is set to low voltage side power-source level, the source potential of both transistors synchronizes and descends, source potential of an NMOS transistor will be made low voltage side power-source level by the 1st and 2nd source follower circuits, and the electrical potential difference between the gate sources of a PMOS transistor will be made lower than the threshold (electrical-potential-difference zero between the gate sources). That is, the output signal which carries out full amplitude actuation in the range of external power level is outputted, making below into the difference electrical potential difference of an external power the electrical potential difference impressed between the gate of each transistor, and a source drain. Therefore, the output signal of the amplitude exceeding pressure-proofing of each transistor can be outputted, without raising pressure-proofing of each transistor.

[0022] According to invention according to claim 4, if the 1st input signal is set to high potential side power-source level and the 2nd input signal is set to a reference voltage level, the source potential of both transistors synchronizes and descends by the 1st and 2nd inverter circuits, source potential of an NMOS transistor will be made into low voltage side power-source level, and the electrical potential difference between the gate sources of a PMOS transistor will be made lower than the threshold (electrical-potential-difference zero between the gate sources). On the other hand, if the 1st input signal is set to a reference voltage level and the 2nd input signal is set to low voltage side power-source level, by the 1st and 2nd inverter circuits, the source potential of both transistors synchronizes and it goes up, and source potential of a PMOS transistor will be made into high potential side power-source level, and the electrical potential difference between the gate sources of an NMOS transistor will be made lower than the threshold (electrical-potential-difference zero between the gate sources). That is, the output signal which carries out full amplitude actuation in the range of external power level is outputted, making below into the difference electrical potential difference of an external power the electrical potential difference impressed between the gate of each transistor, and a source drain. Therefore, the output signal of the amplitude exceeding pressure-proofing of each transistor can be outputted, without raising pressure-proofing of each transistor.

[0023] According to invention according to claim 5, timing from which it is carried out earlier than the timing to which the source potential of a PMOS transistor is changed, an output signal brings down, and the timing to which the source potential of an NMOS transistor is changed at the time of starting of an output signal sometimes changes the

source potential of an NMOS transistor by the source potential control circuit is made later than the timing to which the source potential of a PMOS transistor is changed. Then, the big potential difference which exceeds the pressure-proofing between the sources of both transistors does not arise. Therefore, breakage of both transistors can be prevented beforehand.

[0024] According to invention according to claim 6, an input signal conversion circuit changes an input signal into the 2nd input signal which changes in this direction synchronizing with the 1st input signal and its 1st input signal, and outputs the changed input signal to an output circuit, respectively. Then, in an output circuit, the output signal which carries out full amplitude actuation in the range of external power level is outputted, making below into the difference electrical potential difference of an external power the electrical potential difference impressed between the gate of each transistor, and a source drain based on the 1st and 2nd input signals. Therefore, the output signal of the amplitude exceeding pressure-proofing of each transistor can be outputted, without raising pressure-proofing of each transistor.

[0025] According to invention according to claim 7, the 1st input signal conversion circuit section changes the 1st current Miller circuit to an active state or a non-active state based on an input signal, generates the 1st input signal which changes between high potential side power-source level and a reference voltage level, and outputs the input signal to an output circuit. The 2nd input signal conversion circuit section generates the 2nd input signal which changes the 2nd current Miller circuit to an active state or a non-active state based on an input signal, and changes between a reference voltage level and low voltage side power-source level, and changes in this direction synchronizing with the 1st input signal, and outputs the input signal to an output circuit. Then, in an output circuit, the output signal which carries out full amplitude actuation in the range of external power level is outputted, making below into the difference electrical potential difference of an external power the electrical potential difference impressed between the gate of each transistor, and a source drain based on the 1st and 2nd input signals. Therefore, the output signal of the amplitude exceeding pressure-proofing of each transistor can be outputted, without raising pressure-proofing of each transistor.

[0026] According to invention according to claim 8, the 1st input signal conversion circuit section changes the 1st and 3rd current Miller circuits to an active state or a non-active state based on an input signal, generates the 1st input signal which changes between high potential side power-source level and a reference voltage level, and outputs the input signal to an output circuit. The 2nd input signal conversion circuit section generates the 2nd input signal which changes the 2nd and 4th current Miller circuits to an active state or a non-active

state based on an input signal, and changes between a reference voltage level and low voltage side power-source level, and changes in this direction synchronizing with the 1st input signal, and outputs the input signal to an output circuit. Then, in an output circuit, the output signal which carries out full amplitude actuation in the range of external power level is outputted, making below into the difference electrical potential difference of an external power the electrical potential difference impressed between the gate of each transistor, and a source drain based on the 1st and 2nd input signals. Therefore, the output signal of the amplitude exceeding pressure-proofing of each transistor can be outputted, without raising pressure-proofing of each transistor.

[0027] According to invention according to claim 9, the 1st input signal conversion circuit section changes the 1st and 3rd current Miller circuits to an active state or a non-active state based on an input signal, generates the 1st input signal which changes between high potential side power-source level and a reference voltage level, and outputs the input signal to an output circuit. The 2nd input signal conversion circuit section outputs the input signal which changes between a reference voltage level and low voltage side power-source level to an output circuit as the 2nd input signal which changes in this direction synchronizing with the 1st input signal. Then, in an output circuit, the output signal which carries out full amplitude actuation in the range of external power level is outputted, making below into the difference electrical potential difference of an external power the electrical potential difference impressed between the gate of each transistor, and a source drain based on the 1st and 2nd input signals. Therefore, the output signal of the amplitude exceeding pressure-proofing of each transistor can be outputted, without raising pressure-proofing of each transistor.

[0028] According to invention according to claim 10, a single-shot trigger circuit changes an input signal into a single shot pulse signal, and while only predetermined time activates the 1st and 2nd current Miller circuits synchronously through the 1st and 2nd switching circuits, only predetermined time activates the 3rd and 4th current Miller circuits synchronously through the 3rd and 4th switching circuits. Then, the 1st input signal conversion circuit section generates the 1st input signal with which the 1st and 3rd current Miller circuits are the signals based on an input signal by latch actuation of the 1st latch circuit, and change between high potential side power-source level and a reference voltage level although only predetermined time is activated, and outputs the input signal to an output circuit. The 2nd input signal conversion circuit section generates the 2nd input signal with which the 2nd and 4th current Miller circuits are the signals based on an input signal, and change with latch actuation of the 2nd latch circuit between a reference voltage level and low voltage side power-source level, and change in this direction synchronizing with the 1st input

signal although only predetermined time is activated, and outputs the input signal to an output circuit. Then, in an output circuit, the output signal which carries out full amplitude actuation in the range of external power level is outputted, making below into the difference electrical potential difference of an external power the electrical potential difference impressed between the gate of each transistor, and a source drain based on the 1st and 2nd input signals. Therefore, the output signal of the amplitude exceeding pressure-proofing of each transistor can be outputted, without raising pressure-proofing of each transistor.

[0029] The output signal of the logical circuit of the amplitude exceeding pressure-proofing of each transistor can be outputted without according to invention according to claim 11, raising pressure-proofing of both the transistors of a CMOS inverter circuit, since the output stage of a logical circuit is equipped with the output circuit according to claim 1 to 5.

[0030] The output signal of the operational amplifier circuit of the amplitude exceeding pressure-proofing of each transistor can be outputted without according to invention according to claim 12, raising pressure-proofing of both the transistors of a CMOS inverter circuit, since the output stage of an operational amplifier circuit is equipped with the output circuit according to claim 1 to 5.

[0031]

[Embodiment of the Invention] (Gestalt of the 1st operation) The gestalt of the 1st operation which materialized this invention is hereafter explained according to drawing 2 and drawing 3 .

[0032] Drawing 2 shows the output circuit 10 in the gestalt of this operation. An output circuit 10 consists of the 1st [as a source potential control circuit], and 2nd source follower circuits 12 and 13 which constitute the CMOS inverter circuit 11 which consists of a PMOS transistor TP 1 and an NMOS transistor TN1, and a potential control circuit.

[0033] The high potential side power source Vdd (5 volts) is supplied to the source N1 of the PMOS transistor TP 1, i.e., a node, from the exterior through the NMOS transistor TN2 which constitutes said 1st source follower circuit 12. Moreover, the low voltage side power source Vss (0 volt) is supplied to the source N2 of the NMOS transistor TN1, i.e., a node, from the exterior through the PMOS transistor TP 2 which constitutes said 2nd source follower circuit 13. In addition, with the gestalt of this operation, pressure-proofing of each transistors TP1 and TN1 is 2.5 volts, respectively. And the intermediate voltage Vb (2.5 volts) as fixed reference voltage is supplied to the input terminal of an inverter circuit 11 on the middle level of power sources Vdd and Vss. This intermediate voltage Vb It is generated in the electrical-potential-difference generating circuit 14 as a reference voltage generating circuit which constitutes the potential control circuit carried on the same chip as an output

circuit 10.

[0034] The 1st input signal in 1 which changes between intermediate voltage Vb level and high potential side power-source Vdd level as shown in drawing 3 is inputted into the gate of said NMOS transistor TN2. And this 1st input signal in 1 is intermediate voltage Vb. If set to level, the source of the NMOS transistor TN2, i.e., the potential of said node N1, is intermediate voltage Vb mostly. It is set to level (Vb-Vth). On the other hand, if the 1st input signal in 1 is set to high potential side power-source Vdd level, the potential of said node N1 will be mostly set to high potential side power-source Vdd (Vdd-Vth) level.

[0035] As shown in the gate of said PMOS transistor TP 2 at drawing 3 , they are low voltage side power-source Vss level and intermediate voltage Vb. The 2nd input signal in 2 which changes between level is inputted. And if this 2nd input signal in 2 is set to low voltage side power-source Vss level, the source of the PMOS transistor TP 2, i.e., the potential of said node N2, will be mostly set to low voltage side power-source Vss (Vss+Vth) level. On the other hand, the 2nd input signal in 2 is intermediate voltage Vb. If set to level, the potential of said node N2 is intermediate voltage Vb mostly. It is set to level (Vb+Vth).

[0036] And the output circuit 10 is constituted so that the output signal out which changes from the output terminal of an inverter circuit 11 on a power source Vdd and Vss level may be outputted based on the 1st and 2nd input signals in1 and in2.

[0037] Thus, the constituted output circuit 10 operates, as shown in drawing 3 R> 3. That is, the 1st input signal in 1 is intermediate voltage Vb. If it is set to level and the 2nd input signal in 2 is set to low voltage side power-source Vss level, as described above, the potential of a node N1 will be set to intermediate voltage Vb level, and the potential of a node N2 will be set to low voltage side power-source Vss level.

[0038] The potential of a node N1 is intermediate voltage Vb. If set to level, since the electrical potential difference between the gate sources of said PMOS transistor TP 1 will become 0 volt, this transistor TP 1 is turned off. Moreover, if the potential of a node N2 is set to low voltage side power-source Vss level, since the electrical potential difference between the gate sources of said NMOS transistor TN1 will become 2.5 volts, this transistor TN1 is turned on. Therefore, the output signal out of an output circuit 10 is set to low voltage side power-source Vss level.

[0039] Moreover, the 1st input signal in 1 is set to high potential side power-source Vdd level, and the 2nd input signal in 2 is intermediate voltage Vb. If set to level, as described above, the potential of a node N1 is set to high potential side power-source Vdd level, and the potential of a node N2 is intermediate voltage Vb. It is set to level.

[0040] If the potential of a node N1 is set to high potential side power-source Vdd level, since the electrical potential difference between the gate sources of said PMOS

transistor TP 1 will become 2.5 volts, this transistor TP 1 is turned on. Moreover, the potential of a node N2 is intermediate voltage Vb. If set to level, since the electrical potential difference between the gate sources of said NMOS transistor TN1 will become 0 volt, this transistor TN1 is turned off. Therefore, the output signal out of an output circuit 10 is set to high potential side power-source Vdd level.

[0041] That is, in the output circuit 10 of the gestalt of this operation, the 1st input signal in 1 is intermediate voltage Vb. If it is set to level and the 2nd input signal in 2 is set to low voltage side power-source Vss level, the output signal out is set to low voltage side power-source Vss level, the 1st input signal in 1 is set to high potential side power-source Vdd level, and the 2nd input signal in 2 is intermediate voltage Vb. If set to level, the output signal out will be set to high potential side power-source Vdd level.

[0042] And in this output circuit 10, a power source Vdd and the output signal out which carries out full amplitude actuation in the range of Vss level (0-5 volts) can be outputted, without impressing the electrical potential difference which exceeds that proof pressure (2.5 volts) between the gate of each transistors TP1 and TN1, and a source drain. In addition, with the gestalt of this operation, timing as for which the standup of the 2nd input signal in 2 already raises the potential of a comb and a node N2 from the standup of the 1st input signal in 1 at the time of the standup of an output signal out as shown in drawing 3 is carried out earlier than the timing which raises the potential of a node N1. Moreover, in the time of falling of an output signal out, falling of the 2nd input signal in 2 is made later than falling of the 1st input signal in 1, and timing which drops the potential of a node N2 is made later than the timing which drops the potential of a node N1. The big potential difference which exceeds pressure-proofing of each transistors TP1 and TN1 among nodes N [N1 and] 2 can be prevented from being generated by doing in this way. Therefore, breakage of the PMOS transistor TP 1 and the NMOS transistor TN1 is prevented beforehand.

[0043] As described above, the operation effectiveness taken below can be acquired with the gestalt of this operation. (1) In the output circuit 10 of the gestalt of this operation, a power source Vdd and the output signal out which carries out full amplitude actuation in the range of Vss level (0-5 volts) are outputted, without impressing the electrical potential difference which exceeds the proof pressure (2.5 volts) between the gate of each transistors TP1 and TN1, and a source drain. That is, in this output circuit 10, the output signal out of the amplitude exceeding pressure-proofing of each transistors TP1 and TN1 can be outputted, without raising pressure-proofing of each transistors TP1 and TN1.

[0044] (2) With the gestalt of this operation, it was made to carry out timing as for which the standup of the 2nd input signal in 2 already raises the potential of a comb and a node N2 from the standup of the 1st input signal in 1 at the time of the standup of an output

signal out as shown in drawing 3 earlier than the timing which raises the potential of a node N1. Moreover, in the time of falling of an output signal out, falling of the 2nd input signal in 2 is made later than falling of the 1st input signal in 1, and it was made to make later than the timing which drops the potential of a node N1 timing which drops the potential of a node N2. Therefore, the big potential difference which exceeds pressure-proofing of each transistors TP1 and TN1 among nodes N [N1 and] 2 can be prevented from being generated. Therefore, breakage of the PMOS transistor TP 1 and the NMOS transistor TN1 can be prevented beforehand.

[0045] (Gestalt of the 2nd operation) The gestalt of the 2nd operation which materialized this invention is hereafter explained according to drawing 4 . In addition, with the gestalt of this operation, the sign same about the same configuration as the gestalt of the 1st operation shown in drawing 2 is attached, and the detailed explanation is omitted.

[0046] Drawing 4 shows output circuit 10a in the gestalt of this operation. Output circuit 10a of the gestalt of this operation is permuted by the 1st and 2nd inverter circuits 15 and 16 as a source potential control circuit where said 1st and 2nd source follower circuits 12 and 13 similarly constitute a potential control circuit. That is, the output signal of the 1st inverter circuit 15 is outputted to a node N1, and the output signal of the 2nd inverter circuit 16 is outputted to a node N2.

[0047] In the 1st inverter circuit 15, they are the high potential side power source Vdd and intermediate voltage Vb as a power source of operation. The power source of level is supplied. In the input terminal of the 1st inverter circuit 15, they are high potential side power-source Vdd level and intermediate voltage Vb. The 1st input signal in 1 which changes between level is inputted. And if this 1st input signal in 1 is set to high potential side power-source Vdd level, the output terminal of the 1st inverter circuit 15, i.e., the potential of said node N1, is intermediate voltage Vb. It is set to level. On the other hand, the 1st input signal in 1 is intermediate voltage Vb. If set to level, the potential of said node N1 will be set to high potential side power-source Vdd level.

[0048] In the 2nd inverter circuit 16, it is intermediate voltage Vb as a power source of operation. The power source of level and the low voltage side power source Vss are supplied. In the input terminal of the 2nd inverter circuit 16, it is intermediate voltage Vb. The 2nd input signal in 2 which changes between level and low voltage side power-source Vss level is inputted. And this 2nd input signal in 2 is intermediate voltage Vb. If set to level, the output terminal of the 2nd inverter circuit 16, i.e., the potential of said node N2, will be set to low voltage side power-source Vss level. On the other hand, if the 2nd input signal in 2 is set to low voltage side power-source Vss level, the potential of said node N2 is intermediate voltage Vb. It is set to level.

[0049] And output circuit 10a is constituted so that the output signal out which carries out full amplitude actuation in the range of a power source Vdd and Vss level from the output terminal of an inverter circuit 11 may be outputted based on the 1st and 2nd input signals in1 and in2.

[0050] Thus, the 1st input signal in 1 is set to high potential side power-source Vdd level in constituted output circuit 10a, and the 2nd input signal in 2 is intermediate voltage Vb. If set to level, as described above, the potential of a node N1 is intermediate voltage Vb. It is set to level and the potential of a node N2 is set to low voltage side power-source Vss level.

[0051] The potential of a node N1 is intermediate voltage Vb. If set to level, since the electrical potential difference between the gate sources of said PMOS transistor TP 1 will become 0 volt, this transistor TP 1 is turned off. Moreover, if the potential of a node N2 is set to low voltage side power-source Vss level, since the electrical potential difference between the gate sources of said NMOS transistor TN1 will become 2.5 volts, this transistor TN1 is turned on. Therefore, the output signal out of output circuit 10a is set to low voltage side power-source Vss level.

[0052] Moreover, the 1st input signal in 1 is intermediate voltage Vb. If it is set to level and the 2nd input signal in 2 is set to low voltage side power-source Vss level, as described above, the potential of a node N1 is set to high potential side power-source Vdd level, and the potential of a node N2 is intermediate voltage Vb. It is set to level.

[0053] If the potential of a node N1 is set to high potential side power-source Vdd level, since the electrical potential difference between the gate sources of said PMOS transistor TP 1 will become 2.5 volts, this transistor TP 1 is turned on. Moreover, the potential of a node N2 is intermediate voltage Vb. If set to level, since the electrical potential difference between the gate sources of said NMOS transistor TN1 will become 0 volt, this transistor TN1 is turned off. Therefore, the output signal out of output circuit 10a is set to high potential side power-source Vdd level.

[0054] That is, the 1st input signal in 1 is set to high potential side power-source Vdd level in output circuit 10a of the gestalt of this operation, and the 2nd input signal in 2 is intermediate voltage Vb. If set to level, the output signal out is set to low voltage side power-source Vss level, and the 1st input signal in 1 is intermediate voltage Vb. If it is set to level and the 2nd input signal in 2 is set to low voltage side power-source Vss level, the output signal out will be set to high potential side power-source Vdd level.

[0055] And in this output circuit 10a, a power source Vdd and the output signal out which carries out full amplitude actuation in the range of Vss level (0-5 volts) can be outputted, without impressing the electrical potential difference which exceeds that proof pressure (2.5 volts) between the gate of each transistors TP1 and TN1, and a source drain.

[0056] In addition, in order to make it the big potential difference which exceeds pressure-proofing of each transistors TP1 and TN1 among nodes N [N1 and] 2 like the gestalt of said 1st operation not arise in the gestalt of this operation The timing which raises the potential of a node N2 at the time of the standup of an output signal out is already set from the timing which raises the potential of a node N1 at the time of falling of a comb and an output signal out. Timing which drops the potential of a node N2 is made later than the timing which drops the potential of a node N1.

[0057] That is, with the gestalt of this operation, the standup of the 2nd input signal in 2 is already made later [than falling of the 1st input signal in 1] than the standup of the 1st input signal in 1 for falling of the 2nd input signal in 2 at the time of falling of a comb and an output signal out at the time of the standup of an output signal out. By doing in this way, since the big potential difference which exceeds pressure-proofing of each transistors TP1 and TN1 among nodes N [N1 and] 2 does not arise, breakage of the PMOS transistor TP 1 and the NMOS transistor TN1 can be prevented beforehand.

[0058] As described above, the operation effectiveness taken below can be acquired with the gestalt of this operation.

(1) In output circuit 10a of the gestalt of this operation, a power source Vdd and the output signal out which carries out full amplitude actuation in the range of Vss level (0-5 volts) are outputted, without impressing the electrical potential difference which exceeds the proof pressure (2.5 volts) between the gate of each transistors TP1 and TN1, and a source drain like the gestalt of the 1st operation. That is, in this output circuit 10a, the output signal out of the amplitude exceeding pressure-proofing of each transistors TP1 and TN1 can be outputted, without raising pressure-proofing of each transistors TP1 and TN1.

[0059] (2) With the gestalt of this operation, since it replaces with said 1st and 2nd source follower circuits 12 and 13 and the 1st and 2nd inverter circuits 15 and 16 are used, each transistors TP1 and TN1 carry out a threshold Vth fall, or the potential of nodes N1 and N2 does not rise. Therefore, full amplitude actuation of the output signal out can be certainly carried out in the range of a power source Vdd and Vss level.

[0060] (Gestalt of the 3rd operation) The gestalt of the 3rd operation which materialized this invention is hereafter explained according to drawing 5 . In addition, it prepares for the output stage of the level converter circuit 20 in the gestalt of this operation of output circuit 10a of the gestalt of the 2nd operation shown in drawing 4 with the gestalt of this operation. Therefore, the sign same about the same configuration as the gestalt of the 2nd operation is attached, and the detailed explanation is omitted.

[0061] Drawing 5 shows the level converter circuit 20 of the gestalt of this operation. The level converter circuit 20 consists of an input circuit 21 and said output circuit 10a. An

input circuit 21 consists of the PMOS transistors TP3-TP6, NMOS transistors TN3-TN5, and resistance R1 and R2.

[0062] The drain of the NMOS transistor TN3 is connected to the high potential side power source Vdd through the NMOS transistor TN4 and the PMOS transistor TP 3, and the low voltage side power source Vss is supplied to the source. In the gate of the NMOS transistor TN3, it is intermediate voltage Vb. The input signal in 0 which changes between level and low voltage side power-source Vss level is inputted. Moreover, in the gate of the PMOS transistor TN4, it is intermediate voltage Vb. It is supplied.

[0063] That the PMOS transistor TP 3 and TP4 should constitute current Miller circuit 22, while the mutual gate is connected, the gate is connected to the drain of the PMOS transistor TP 3. The high potential side power source Vdd is supplied to the source of PMOS transistor TP4, resistance R1 is minded [the], and it is intermediate voltage Vb. It is supplied. And the node N3 between the drain of PMOS transistor TP4 and resistance R1 is connected to the input terminal of the 1st inverter circuit 15 which constitutes said output circuit 10a. That is, the potential of a node N3 is inputted into the 1st inverter circuit 15 as said 1st input signal in 1.

[0064] On the other hand, the PMOS transistor TP 5 is minded [of the NMOS transistor TN5], and it is intermediate voltage Vb. It is supplied and the low voltage side power source Vss is supplied to the source. Said input signal in 0 is inputted into the gate of the NMOS transistor TN5.

[0065] That the PMOS transistors TP5 and TP6 should constitute current Miller circuit 23, while the mutual gate is connected, the gate is connected to the drain of the PMOS transistor TP 5. In the source of the PMOS transistor TP 6, it is intermediate voltage Vb. It is supplied and the low voltage side power source Vss is supplied to the drain through resistance R2. And the node N4 between the drain of the PMOS transistor TP 6 and resistance R2 is connected to the input terminal of the 2nd inverter circuit 16 which constitutes said output circuit 10a. That is, the potential of a node N4 is inputted into the 2nd inverter circuit 16 as said 2nd input signal in 2.

[0066] In addition, with the gestalt of this operation, it is set up so that the resistance of resistance R2 may become smaller than the resistance of resistance R1, and it is set up so that the drain current of the PMOS transistor TP 6 may become smaller than the drain current of PMOS transistor TP4.

[0067] Thus, in the constituted level converter circuit 20, an input signal in 0 is intermediate voltage Vb. When set to level, the NMOS transistors TN3 and TN5 are turned on. Then, the source potential of the NMOS transistor TN4 descends, and this transistor TN4 is turned on. If this NMOS transistor TN4 is turned on, current Miller circuit 22 will operate

and the high potential side power source Vdd will be supplied to a node N3 through PMOS transistor TP4. And the potential in 1 of a node N3, i.e., the 1st input signal, is set to high potential side power-source Vdd level.

[0068] Moreover, current Miller circuit 23 operates based on ON of the NMOS transistor TN5, the PMOS transistor TP 6 is minded [N4], and it is intermediate voltage Vb. It is supplied. And the potential in 2 of a node N4, i.e., the 2nd input signal, is intermediate voltage Vb. It is set to level.

[0069] In this way, the 1st input signal in 1 is set to high potential side power-source Vdd level, and the 2nd input signal in 2 is intermediate voltage Vb. If set to level, said output circuit 10a will operate like the gestalt of the 2nd operation, and the output signal out will be set to low voltage side power-source Vss level.

[0070] On the other hand, when an input signal in 0 is set to low voltage side power-source Vss level, the NMOS transistors TN3 and TN5 are turned off. Then, the NMOS transistor TN4 will be turned off, current Miller circuit 22 will be in non-operating state, and the charge of a node N3 is emitted through resistance R1. And the potential in 1 of a node N3, i.e., the 1st input signal, is intermediate voltage Vb. It is set to level.

[0071] Moreover, the NMOS transistor TN5 will be based off, current Miller circuit 23 will be in non-operating state, and the charge of a node N4 is emitted through resistance R2. And the potential in 2 of a node N4, i.e., the 2nd input signal, is set to low voltage side power-source Vss level.

[0072] In this way, the 1st input signal in 1 is intermediate voltage Vb. If it is set to level and the 2nd input signal in 2 is set to low voltage side power-source Vss level, said output circuit 10a will operate like the gestalt of the 2nd operation, and the output signal out will be set to high potential side power-source Vdd level.

[0073] That is, in the level converter circuit 20 of the gestalt of this operation, an input signal in 0 is intermediate voltage Vb. If the output signal out will be set to low voltage side power-source Vss level if set to level, and an input signal in 0 is set to low voltage side power-source Vss level, the output signal out will be set to high potential side power-source Vdd level.

[0074] And in this output circuit 10a, a power source Vdd and the output signal out which carries out full amplitude actuation in the range of Vss level (0-5 volts) can be outputted, without impressing the electrical potential difference which exceeds that proof pressure (2.5 volts) between the gate of each transistors TP1 and TN1, and a source drain like the gestalt of said 2nd operation.

[0075] Moreover, since it is set up so that the resistance of resistance R2 may become smaller than the resistance of resistance R1 as described above, falling of the 2nd

input signal in 2 becomes earlier than falling of the 1st input signal in 1 at the time of the standup of an output signal out. That is, the timing to which the potential of a node N2 rises becomes earlier than the timing to which the potential of a node N1 rises. Moreover, since it is set up so that the drain current of the PMOS transistor TP 6 may become smaller than the drain current of PMOS transistor TP4, the standup of the 2nd input signal in 2 becomes later than the standup of the 1st input signal in 1 at the time of falling of an output signal out. That is, the timing to which the potential of a node N2 descends becomes later than the timing to which the potential of a node N1 descends. Therefore, since the big potential difference which exceeds pressure-proofing of each transistors TP1 and TN1 among nodes N [N1 and] 2 does not arise, breakage of the PMOS transistor TP 1 and the NMOS transistor TN1 can be prevented beforehand.

[0076] As described above, the operation effectiveness taken below can be acquired with the gestalt of this operation.

(1) In output circuit 10a of the gestalt of this operation, a power source Vdd and the output signal out which carries out full amplitude actuation in the range of Vss level (0-5 volts) are outputted, without impressing the electrical potential difference which exceeds the proof pressure (2.5 volts) between the gate of each transistors TP1 and TN1, and a source drain like the gestalt of the 2nd operation. That is, in this output circuit 10a, the output signal out of the amplitude exceeding pressure-proofing of each transistors TP1 and TN1 can be outputted, without raising pressure-proofing of each transistors TP1 and TN1.

[0077] (2) Moreover, it is intermediate voltage Vb. Said output signal out is outputted with one input signal in 0 which changes between level and low voltage side power-source Vss level. Therefore, since the number of signals to input can be reduced as compared with the gestalt of the 2nd operation, the signal line can be lessened.

[0078] (Gestalt of the 4th operation) The gestalt of the 4th operation which materialized this invention is hereafter explained according to drawing 6 . In addition, it prepares for the output stage of level converter circuit 20a in the gestalt of this operation of output circuit 10a of the gestalt of the 2nd operation shown in drawing 4 with the gestalt of this operation. Therefore, the sign same about the same configuration as the gestalt of the 2nd operation is attached, and the detailed explanation is omitted.

[0079] Drawing 6 shows level converter circuit 20a of the gestalt of this operation. Level converter circuit 20a consists of input circuit 21a and said output circuit 10a. input circuit 21a -- PMOS transistors TP7-TP16 And NMOS transistors TN6-TN17 from -- it becomes.

[0080] The PMOS transistor TP 7 and the NMOS transistor TN6 constitute the CMOS inverter circuit 24. In an inverter circuit 24, it is intermediate voltage Vb as a power

source of operation. The power source of level and the low voltage side power source Vss are supplied. In the input terminal of an inverter circuit 24, it is intermediate voltage Vb. The input signal in 0 which changes between level and low voltage side power-source Vss level is inputted. The output terminal of an inverter circuit 24 is connected to the input terminal of the CMOS inverter circuit 25 of the next step.

[0081] Said inverter circuit 25 consists of a PMOS transistor TP 8 and an NMOS transistor TN7. In an inverter circuit 25, it is intermediate voltage Vb as a power source of operation. The power source of level and the low voltage side power source Vss are supplied. The output terminal of an inverter circuit 25 is connected to the gate of the NMOS transistor TN8.

[0082] The drain of the NMOS transistor TN8 is connected to the high potential side power source Vdd through the NMOS transistor TN9 and the PMOS transistor TP 9, and the low voltage side power source Vss is supplied to the source. In the gate of the NMOS transistor TN9, it is intermediate voltage Vb. It is supplied.

[0083] PMOS transistors TP9 and TP10 That current Miller circuit 26 should be constituted, while the mutual gate is connected, the gate is connected to the drain of the PMOS transistor TP 9. PMOS transistor TP 10 The high potential side power source Vdd is supplied to the source, and it is the NMOS transistor TN10 in the drain. It minds and is intermediate voltage Vb. It is supplied.

[0084] The NMOS transistor TN10 and TN11 That current Miller circuit 27 should be constituted, while the mutual gate is connected, the gate is the NMOS transistor TN10. It connects with a drain. NMOS transistor TN11 In the source, it is intermediate voltage Vb. It is supplied and is the PMOS transistor TP 11 in the drain. It minds and the high potential side power source Vdd is supplied.

[0085] PMOS transistors [TP / TP and / 12] 11 While the mutual gate is connected that current Miller circuit 28 should be constituted, the gate is the PMOS transistor TP 12. It connects with a drain. PMOS transistor TP 12 The high potential side power source Vdd is supplied to the source, and the drain is the NMOS transistor TN12 and TN13. It minds and connects with the low voltage side power source Vss. NMOS transistor TN12 In the gate, it is intermediate voltage Vb. It is supplied. Moreover, NMOS transistor TN13 The output terminal of said inverter circuit 24 is connected to the gate.

[0086] And said PMOS transistor TP 11 And NMOS transistor TN11 A drain N5, i.e., a node, is connected to the input terminal of the 1st inverter circuit 15 which constitutes said output circuit 10a. That is, the potential of a node N5 is inputted into the 1st inverter circuit 15 as said 1st input signal in 1.

[0087] On the other hand, the output terminal of said inverter circuit 25 is the NMOS

transistor TN14. It connects with the gate. NMOS transistor TN14 The low voltage side power source Vss is supplied to the source, and it is the PMOS transistor TP 13 in the drain. It minds and is intermediate voltage Vb. It is supplied.

[0088] PMOS transistors [TP / TP and / 14] 13 While the mutual gate is connected that current Miller circuit 29 should be constituted, the gate is the PMOS transistor TP 13. It connects with a drain. PMOS transistor TP 14 In the source, it is intermediate voltage Vb. It is supplied and is the NMOS transistor TN15 in the drain. It minds and the low voltage side power source Vss is supplied.

[0089] The NMOS transistor TN15 and TN16 That current Miller circuit 30 should be constituted, while the mutual gate is connected, the gate is the NMOS transistor TN15. It connects with a drain. NMOS transistor TN16 The low voltage side power source Vss is supplied to the source, and it is the PMOS transistor TP 15 in the drain. It minds and is intermediate voltage Vb. It is supplied.

[0090] PMOS transistors [TP / TP and / 16] 15 While the mutual gate is connected that current Miller circuit 31 should be constituted, the gate is the PMOS transistor TP 16. It connects with a drain. PMOS transistor TP 16 In the source, it is intermediate voltage Vb. It is supplied and is the NMOS transistor TN17 in the drain. It minds and the low voltage side power source Vss is supplied. NMOS transistor TN17 The output terminal of said inverter circuit 24 is connected to the gate.

[0091] And said PMOS transistor TP 15 And NMOS transistor TN16 A drain N6, i.e., a node, is connected to the input terminal of the 2nd inverter circuit 16 which constitutes said output circuit 10a. That is, the potential of a node N6 is inputted into the 2nd inverter circuit 16 as said 2nd input signal in 2.

[0092] In addition, at the gestalt of this operation, it is the NMOS transistor TN16. A drain current is the NMOS transistor TN11. It is set up so that it may become larger than a drain current, and it is the PMOS transistor TP 15. A drain current is the PMOS transistor TP 11. It is set up so that it may become smaller than a drain current.

[0093] Thus, if an input signal in 0 is set to low voltage side power-source Vss level in constituted level converter circuit 20a, the output signal of the 1st step of inverter circuit 24 is intermediate voltage Vb. It is set to level and the output signal of two steps of inverter circuits 25 is set to low voltage side power-source Vss level.

[0094] The output signal of the 1st step of inverter circuit 24 is intermediate voltage Vb. When set to level, it is the NMOS transistor TN13. It is turned on. Then, NMOS transistor TN12 Source potential descends and it is this transistor TN12. It is turned on. This NMOS transistor TN12 ON operates current Miller circuit 28.

[0095] When the output signal of the 2nd step of inverter circuit 25 is set to low

voltage side power-source Vss level, the NMOS transistor TN8 is turned off. Then, the NMOS transistor TN9 will be turned off and current Miller circuit 26 will be in non-operating state. Therefore, current Miller circuit 27 will be in non-operating state similarly.

[0096] Therefore, in a node N5, it is the PMOS transistor TP 11. It minds, the high potential side power source Vdd is supplied, and the potential of the node N5 rises to near the high potential side power-source Vdd level. That is, the 1st input signal in 1 is set to high potential side power-source Vdd level.

[0097] Moreover, the output signal of the 1st step of inverter circuit 24 is intermediate voltage Vb. When set to level, it is the NMOS transistor TN17. It is turned on. This NMOS transistor TN17 ON operates current Miller circuit 31.

[0098] When the output signal of the 2nd step of inverter circuit 25 is set to low voltage side power-source Vss level, it is the NMOS transistor TN14. It is turned off. This NMOS transistor TN14 If turned off, current Miller circuit 29 will be in non-operating state. Therefore, current Miller circuit 30 will be in non-operating state similarly.

[0099] Therefore, in a node N6, it is the PMOS transistor TP 15. It minds and is intermediate voltage Vb. It is supplied and the potential of the node N6 is intermediate voltage Vb. It goes up to near the level. That is, the 2nd input signal in 2 is intermediate voltage Vb. It is set to level.

[0100] In this way, the 1st input signal in 1 is set to high potential side power-source Vdd level, and the 2nd input signal in 2 is intermediate voltage Vb. If set to level, said output circuit 10a will operate like the gestalt of the 2nd operation, and the output signal out will be set to low voltage side power-source Vss level.

[0101] On the other hand, an input signal in 0 is intermediate voltage Vb. If set to level, the output signal of the 1st step of inverter circuit 24 is set to low voltage side power-source Vss level, and the output signal of two steps of inverter circuits 25 is intermediate voltage Vb. It is set to level.

[0102] When the output signal of the 1st step of inverter circuit 24 is set to low voltage side power-source Vss level, it is the NMOS transistor TN13. It is turned off. Then, NMOS transistor TN12 It will be turned off and current Miller circuit 28 will be in non-operating state.

[0103] The output signal of the 2nd step of inverter circuit 25 is intermediate voltage Vb. When set to level, the NMOS transistor TN8 is turned on. Then, the source potential of the NMOS transistor TN9 descends, and this transistor TN9 is turned on. If this NMOS transistor TN9 is turned on, current Miller circuit 26 will operate, actuation of this circuit 26 is interlocked with and current Miller circuit 27 operates.

[0104] Therefore, the charge of a node N5 is the NMOS transistor TN11. It is minded

and emitted and the potential of the node N5 is intermediate voltage Vb. It descends to near the level. That is, the 1st input signal in 1 is intermediate voltage Vb. It is set to level.

[0105] Moreover, when the output signal of the 1st step of inverter circuit 24 is set to low voltage side power-source Vss level, it is the NMOS transistor TN17. It is turned off. This NMOS transistor TN17 If turned off, current Miller circuit 31 will be in non-operating state.

[0106] The output signal of the 2nd step of inverter circuit 25 is intermediate voltage Vb. When set to level, it is the NMOS transistor TN14. It is turned on. This NMOS transistor TN14 If turned on, current Miller circuit 29 will operate, actuation of this circuit 29 is interlocked with and current Miller circuit 30 operates.

[0107] Therefore, the charge of a node N6 is the NMOS transistor TN16. It minds, and it is emitted and the potential of the node N6 descends to near the low voltage side power-source Vss level. That is, the 2nd input signal in 2 is set to low voltage side power-source Vss level.

[0108] In this way, the 1st input signal in 1 is intermediate voltage Vb. If it is set to level and the 2nd input signal in 2 is set to low voltage side power-source Vss level, said output circuit 10a will operate like the gestalt of the 2nd operation, and the output signal out will be set to high potential side power-source Vdd level.

[0109] That is, if an input signal in 0 is set to low voltage side power-source Vss level in level converter circuit 20a of the gestalt of this operation, the output signal out is set to low voltage side power-source Vss level, and an input signal in 0 is intermediate voltage Vb. If set to level, the output signal out will be set to high potential side power-source Vdd level.

[0110] And in this output circuit 10a, a power source Vdd and the output signal out which carries out full amplitude actuation in the range of Vss level (0-5 volts) can be outputted, without impressing the electrical potential difference which exceeds that proof pressure (2.5 volts) between the gate of each transistors TP1 and TN1, and a source drain like the gestalt of said 2nd operation.

[0111] Moreover, as described above, it is the NMOS transistor TN16. A drain current is the NMOS transistor TN11. Since it is set up so that it may become larger than a drain current, falling of the 2nd input signal in 2 becomes earlier than falling of the 1st input signal in 1 at the time of the standup of an output signal out. That is, the timing to which the potential of a node N2 rises becomes earlier than the timing to which the potential of a node N1 rises. Moreover, PMOS transistor TP 15 A drain current is the PMOS transistor TP 11. Since it is set up so that it may become smaller than a drain current, the standup of the 2nd input signal in 2 becomes later than the standup of the 1st input signal in 1 at the time of falling of an output signal out. That is, the timing to which the potential of a node N2

descends becomes later than the timing to which the potential of a node N1 descends. Therefore, since the big potential difference which exceeds pressure-proofing of each transistors TP1 and TN1 among nodes N [N1 and] 2 does not arise, breakage of the PMOS transistor TP 1 and the NMOS transistor TN1 can be prevented beforehand.

[0112] As described above, the operation effectiveness taken below can be acquired with the gestalt of this operation.

(1) In output circuit 10a of the gestalt of this operation, a power source Vdd and the output signal out which carries out full amplitude actuation in the range of Vss level (0-5 volts) are outputted, without impressing the electrical potential difference which exceeds the proof pressure (2.5 volts) between the gate of each transistors TP1 and TN1, and a source drain like the gestalt of the 2nd operation. That is, in this output circuit 10a, the output signal out of the amplitude exceeding pressure-proofing of each transistors TP1 and TN1 can be outputted, without raising pressure-proofing of each transistors TP1 and TN1.

[0113] (2) Moreover, it is intermediate voltage Vb. Said output signal out is outputted with the input signal in 0 which changes between level and low voltage side power-source Vss level. Therefore, since the number of signals to input can be reduced as compared with the gestalt of said 2nd operation, the signal line can be lessened.

[0114] (3) Moreover, compare with the gestalt of said 3rd operation and they are each transistor TN11 and TN16 about discharge of the charge of nodes N5 and N6. Since it carries out by minding, the time amount concerning the discharge can be shortened. Therefore, with the gestalt of this operation, high-speed operation can be carried out as compared with the gestalt of said 3rd operation.

[0115] (Gestalt of the 5th operation) The gestalt of the 5th operation which materialized this invention is hereafter explained according to drawing 7 . In addition, with the gestalt of this operation, the sign same about the same configuration as the gestalt of the 4th operation shown in drawing 6 is attached, and the detailed explanation is omitted.

[0116] Drawing 7 shows level converter circuit 20b of the gestalt of this operation. Level converter circuit 20b of the gestalt of this operation is level converter circuit 20a of the gestalt of said 4th operation to the PMOS transistor TP 13 - TP16. And NMOS transistor TN14 -TN17 It omits. And in said level converter circuit 20a, since change of the output terminal of the 1st step of inverter circuit 24 and the input terminal of the 2nd inverter circuit 16, i.e., the potential of a node N6, is the same, the output terminal of an inverter circuit 16 is connected to the node N6 with the gestalt of this operation. That is, the output signal of an inverter circuit 24 is made into said 2nd input signal in 2 with the gestalt of this operation.

[0117] Even if such, in level converter circuit 20b of the gestalt of this operation, it operates like the gestalt of said 4th operation. That is, if an input signal in 0 is set to low

voltage side power-source Vss level, the output signal out is set to low voltage side power-source Vss level, and an input signal in 0 is intermediate voltage Vb. If set to level, the output signal out will be set to high potential side power-source Vdd level.

[0118] And in this output circuit 10a, a power source Vdd and the output signal out which carries out full amplitude actuation in the range of Vss level (0-5 volts) can be outputted, without impressing the electrical potential difference which exceeds that proof pressure (2.5 volts) between the gate of each transistors TP1 and TN1, and a source drain like the gestalt of said 2nd operation.

[0119] As described above, the operation effectiveness taken below can be acquired with the gestalt of this operation.

(1) In output circuit 10a of the gestalt of this operation, a power source Vdd and the output signal out which carries out full amplitude actuation in the range of Vss level (0-5 volts) are outputted, without impressing the electrical potential difference which exceeds the proof pressure (2.5 volts) between the gate of each transistors TP1 and TN1, and a source drain like the gestalt of the 2nd operation. That is, in this output circuit 10a, the output signal out of the amplitude exceeding pressure-proofing of each transistors TP1 and TN1 can be outputted, without raising pressure-proofing of each transistors TP1 and TN1.

[0120] (2) Moreover, it is intermediate voltage Vb. Said output signal out is outputted with the input signal in 0 which changes between level and low voltage side power-source Vss level. Therefore, since the number of signals to input can be reduced as compared with the gestalt of said 2nd operation, the signal line can be lessened.

[0121] (3) Moreover, level converter circuit 20b of the gestalt of this operation is level converter circuit 20a of the gestalt of said 4th operation to the PMOS transistor TP 13 - TP16. And NMOS transistor TN14 -TN17 It omits. Therefore, circuitry can be simplified.

[0122] (Gestalt of the 6th operation) The gestalt of the 6th operation which materialized this invention is hereafter explained according to drawing 8 . In addition, it prepares for the output stage of level converter circuit 20c in the gestalt of this operation of output circuit 10a of the gestalt of the 2nd operation shown in drawing 4 with the gestalt of this operation. Therefore, the sign same about the same configuration as the gestalt of the 2nd operation is attached, and the detailed explanation is omitted.

[0123] Drawing 8 shows level converter circuit 20c of the gestalt of this operation. Level converter circuit 20c consists of input circuit 21c and said output circuit 10a. the integrating circuit 39 and the PMOS transistor TP 17 which input circuit 21c becomes from inverter circuits 32-36, AND circuit 37, NOR circuit 38, resistance, and capacity - TP24 And NMOS transistor TN18 -TN23 from -- it becomes.

[0124] In one input terminal of AND circuit 37, it is intermediate voltage Vb. The

input signal in 0 which changes between level and low voltage side power-source Vss level is inputted, and an input signal in 0 is inputted into the input terminal of another side through an inverter circuit 32 and an integrating circuit 39. The delay circuit 40 is constituted by this inverter circuit 32 and integrating circuit 39. Moreover, the input terminal of NOR circuit 38 is connected to each input terminal N7 and N8 of AND circuit 37, i.e., nodes, respectively. In addition, in an inverter circuit 32, AND circuit 37, and NOR circuit 38, it is intermediate voltage Vb as a power source of operation. The power source of level and the low voltage side power source Vss are supplied, respectively.

[0125] The output terminal of AND circuit 37 is the NMOS transistor TN18. It connects with the gate. NMOS transistor TN18 A drain is the NMOS transistor TN19. And PMOS transistor TP 17 It minds, and connects with the high potential side power source Vdd, and the low voltage side power source Vss is supplied to the source. NMOS transistor TN19 In the gate, it is intermediate voltage Vb. It is supplied.

[0126] PMOS transistors [TP / TP and / 18] 17 While the mutual gate is connected that current Miller circuit 41 should be constituted, the gate is the PMOS transistor TP 17. It connects with a drain. PMOS transistor TP 18 The high potential side power source Vdd is supplied to the source, and the drain is connected to the input terminal of an inverter circuit 33.

[0127] Inverter circuits 33 and 34 constitute the latch circuit 42. In these inverter circuits 33 and 34, it is [the high potential side power source Vdd and] intermediate voltage Vb as a power source of operation. The power source of level is supplied. The output terminal of an inverter circuit 33 is the PMOS transistor TP 19. It connects with a drain. PMOS transistor TP 19 The high potential side power source Vdd is supplied to the source.

[0128] PMOS transistors [TP / TP and / 20] 19 While the mutual gate is connected that current Miller circuit 43 should be constituted, the gate is the PMOS transistor TP 20. It connects with a drain. PMOS transistor TP 20 The high potential side power source Vdd is supplied to the source, and the drain is the NMOS transistor TN20 and TN21. It minds and connects with the low voltage side power source Vss. NMOS transistor TN20 In the gate, it is intermediate voltage Vb. It is supplied. Moreover, NMOS transistor TN21 The output terminal of said NOR circuit 38 is connected to the gate.

[0129] And said PMOS transistor TP 19 The node N9 between a drain and the output terminal of an inverter circuit 33 is connected to the input terminal of the 1st inverter circuit 15 which constitutes said output circuit 10a. That is, the potentia of a node N9 is inputted into the 1st inverter circuit 15 as said 1st input signal in 1.

[0130] On the other hand, the output terminal of said AND circuit 37 is the NMOS transistor TN22. It connects with the gate. NMOS transistor TN22 In a drain, it is the PMOS

transistor TP 21. It minds and is intermediate voltage Vb. It is supplied and the low voltage side power source Vss is supplied to the source.

[0131] PMOS transistors [TP / TP and / 22] 21 While the mutual gate is connected that current Miller circuit 44 should be constituted, the gate is the PMOS transistor TP 21. It connects with a drain. PMOS transistor TP 22 In the source, it is intermediate voltage Vb. It is supplied and the drain is connected to the input terminal of an inverter circuit 35. Inverter circuits 35 and 36 constitute the latch circuit 45. In these inverter circuits 35 and 36, it is intermediate voltage Vb as a power source of operation. The power source of level and the low voltage side power source Vss are supplied. The output terminal of an inverter circuit 35 is the PMOS transistor TP 23. It connects with a drain. PMOS transistor TP 23 The high potential side power source Vdd is supplied to the source.

[0132] PMOS transistors [TP / TP and / 24] 23 While the mutual gate is connected that current Miller circuit 46 should be constituted, the gate is the PMOS transistor TP 24. It connects with a drain. PMOS transistor TP 24 In the source, it is intermediate voltage Vb. It is supplied and is the NMOS transistor TN24 in the drain. It minds and the low voltage side power source Vss is supplied. NMOS transistor TN24 In the gate, it is intermediate voltage Vb. It is supplied.

[0133] And said PMOS transistor TP 23 The node N10 between a drain and the output terminal of an inverter circuit 35 is connected to the input terminal of the 2nd inverter circuit 16 which constitutes said output circuit 10a. That is, the potential of a node N10 is inputted into the 2nd inverter circuit 16 as said 2nd input signal in 2.

[0134] Thus, if an input signal in 0 is set to low voltage side power-source Vss level in constituted level converter circuit 20c, the potential of a node N7 is immediately set to low voltage side power-source Vss level, and the potential of a node N8 is intermediate voltage Vb from low voltage side power-source Vss level after predetermined time progress by the delay circuit 40. It is set to level. That is, the output signal of AND circuit 37 is set to low voltage side power-source Vss level, and the output signal of NOR circuit 38 is intermediate voltage Vb. It is set to low voltage side power-source Vss level from level after predetermined time progress.

[0135] When the output signal of AND circuit 37 is set to low voltage side power-source Vss level, it is the NMOS transistor TN18. It is turned off. Then, NMOS transistor TN19 It will be turned off and current Miller circuit 41 will be in non-operating state.

[0136] The output signal of NOR circuit 38 is intermediate voltage Vb. When set to level, it is the NMOS transistor TN21. It is turned on. Then, NMOS transistor TN20 Source potential descends and it is this transistor TN20. It is turned on. ON of this NMOS transistor TN20 operates current Miller circuit 43.

[0137] Then, in a node N9, it is the PMOS transistor TP 19. It minds, the high potential side power source Vdd is supplied, and the potential of the node N9 rises to near the high potential side power-source Vdd level. That is, the 1st input signal in 1 is set to high potential side power-source Vdd level. If the potential of a node N9 is set to high potential side power-source Vdd level at this time, that potential will be held by the latch circuit 42.

[0138] And when the output signal of NOR circuit 38 is set to low voltage side power-source Vss level after predetermined time progress, it is the NMOS transistor TN21. It is turned off. Then, NMOS transistor TN20 It will be turned off and current Miller circuit 43 will be in non-operating state. Although current Miller circuit 43 will be jn non-operating state at this time, the potential of a node N9 is held by the latch circuit 42 at high potential side power-source Vdd level. Therefore, if an input signal in 0 is set to low voltage side power-source Vss level, the 1st input signal in 1 will be set to high potential side power-source Vdd level.

[0139] Moreover, when the output signal of AND circuit 37 is set to low voltage side power-source Vss level, it is the NMOS transistor TN22. It is turned off. This NMOS transistor TN22 If turned off, current Miller circuit 44 will be in non-operating state.

[0140] The output signal of NOR circuit 38 is intermediate voltage Vb. When set to level, it is the NMOS transistor TN23. It is turned on. This NMOS transistor TN23 ON operates current Miller circuit 46.

[0141] Then, in a node N10, it is the PMOS transistor TP 23. It minds, intermediate voltage Vb is supplied and the potential of the node N10 is intermediate voltage Vb. It goes up to near the level. That is, the 2nd input signal in 2 is intermediate voltage Vb. It is set to level. At this time, the potential of a node N10 is intermediate voltage Vb by the latch circuit 45. It is held at level.

[0142] And when the output signal of NOR circuit 38 is set to low voltage side power-source Vss level after predetermined time progress, it is the NMOS transistor TN23. It is turned off. This NMOS transistor TN23 If turned off, current Miller circuit 46 will be in non-operating state. Although current Miller circuit 46 will be in non-operating state at this time, the potential of a node N10 is intermediate voltage Vb at a latch circuit 45. It is held at level. Therefore, if an input signal in 0 is set to low voltage side power-source Vss level, the 2nd input signal in 2 is intermediate voltage Vb. It is set to level.

[0143] Moreover, if an input signal in 0 is set to low voltage side power-source Vss level with the gestalt of this operation at this time, that input signal in 0 is intermediate voltage Vb by NOR circuit 38 and the delay circuit 40. It is changed into the single shot pulse signal set to low voltage side power-source Vss level from level after predetermined time progress. Therefore, the NMOS transistor TN21 and TN23 Since ON time amount becomes short, they

are this transistor TN21 and TN23. The flowing penetration current can be suppressed small.

[0144] In this way, the 1st input signal in 1 is set to high potential side power-source Vdd level, and the 2nd input signal in 2 is intermediate voltage Vb. If set to level, said output circuit 10a will operate like the gestalt of the 2nd operation, and the output signal out will be set to low voltage side power-source Vss level.

[0145] On the other hand, an input signal in 0 is intermediate voltage Vb. Shortly after being set to level, the potential of a node N7 is intermediate voltage Vb. It is set to level and the potential of a node N8 is intermediate voltage Vb after predetermined time progress by the delay circuit 40. It is set to low voltage side power-source Vss level from level. That is, the output signal of AND circuit 37 is intermediate voltage Vb. It is set to low voltage side power-source Vss level from level after predetermined time progress, and the output signal of NOR circuit 38 is set to low voltage side power-source Vss level.

[0146] When the output signal of NOR circuit 38 is set to low voltage side power-source Vss level, it is the NMOS transistor TN21. It is turned off. Then, NMOS transistor TN20 It will be turned off and current Miller circuit 43 will be in non-operating state.

[0147] The output signal of AND circuit 37 is intermediate voltage Vb. When set to level, it is the NMOS transistor TN18. It is turned on. Then, NMOS transistor TN19 Source potential descends and it is this transistor TN19. It is turned on. ON of this NMOS transistor TN19 operates current Miller circuit 41.

[0148] Then, in the input terminal of an inverter circuit 33, it is the PMOS transistor TP 18. It minds, the high potential side power source Vdd is supplied, and the potential of the input terminal rises to near the high potential side power-source Vdd level. That is, the potential in 1 of a node N9, i.e., the 1st input signal, is intermediate voltage Vb. It is set to level. At this time, the potential of a node N9 is intermediate voltage Vb by the latch circuit 42. It is held at level.

[0149] And when the output signal of AND circuit 37 is set to low voltage side power-source Vss level after predetermined time progress, it is the NMOS transistor TN18. It is turned off. Then, NMOS transistor TN19 It will be turned off and current Miller circuit 41 will be in non-operating state. Although current Miller circuit 41 will be in non-operating state at this time, the potential of a node N9 is intermediate voltage Vb at a latch circuit 42. It is held at level. Therefore, an input signal in 0 is intermediate voltage Vb. If it becomes, the 1st input signal in 1 is intermediate voltage Vb. It is set to level.

[0150] Moreover, when the output signal of NOR circuit 38 is set to low voltage side power-source Vss level, it is the NMOS transistor TN23. It is turned off. This NMOS transistor TN23 If turned off, current Miller circuit 46 will be in non-operating state.

[0151] The output signal of AND circuit 37 is intermediate voltage Vb. When set to

level, it is the NMOS transistor TN22. It is turned on. This NMOS transistor TN22 ON operates current Miller circuit 44.

[0152] Then, in the input terminal of an inverter circuit 35, it is the PMOS transistor TP 22. It minds and is intermediate voltage Vb. It is supplied and the potential of the input terminal is intermediate voltage Vb. It goes up to near the level. That is, the potential in 2 of a node N10, i.e., the 2nd input signal, is set to low voltage side power-source Vss level. At this time, the potential of a node N10 is held by the latch circuit 45 at low voltage side power-source Vss level.

[0153] And when the output signal of AND circuit 37 is set to low voltage side power-source Vss level after predetermined time progress, it is the NMOS transistor TN22. It is turned off. This NMOS transistor TN22 If turned off, current Miller circuit 44 will be in non-operating state. Although current Miller circuit 44 will be in non-operating state at this time, the potential of a node N10 is held by the latch circuit 45 at low voltage side power-source Vss level. Therefore, if an input signal in 0 is set to low voltage side power-source Vss level, the 2nd input signal in 2 will be set to low voltage side power-source Vss level.

[0154] Moreover, at the gestalt of this operation, an input signal in 0 is intermediate voltage Vb at this time. If set to level, that input signal in 0 is intermediate voltage Vb by AND circuit 37 and the delay circuit 40. It is changed into the single shot pulse signal set to low voltage side power-source Vss level from level after predetermined time progress. Therefore, the NMOS transistor TN18 and TN22 Since ON time amount becomes short, they are this transistor TN18 and TN22. The flowing penetration current can be suppressed small.

[0155] In this way, the 1st input signal in 1 is intermediate voltage Vb. If it is set to level and the 2nd input signal in 2 is set to low voltage side power-source Vss level, said output circuit 10a will operate like the gestalt of the 2nd operation, and the output signal out will be set to high potential side power-source Vdd level.

[0156] That is, if an input signal in 0 is set to low voltage side power-source Vss level in level converter circuit 20c of the gestalt of this operation, the output signal out is set to low voltage side power-source Vss level, and an input signal in 0 is intermediate voltage Vb. If set to level, the output signal out will be set to high potential side power-source Vdd level.

[0157] And in this output circuit 10a, a power source Vdd and the output signal out which carries out full amplitude actuation in the range of Vss level (0-5 volts) can be outputted, without impressing the electrical potential difference which exceeds that proof pressure (2.5 volts) between the gate of each transistors TP1 and TN1, and a source drain like the gestalt of said 2nd operation.

[0158] As described above, the operation effectiveness taken below can be acquired with the gestalt of this operation.

(1) In output circuit 10a of the gestalt of this operation, a power source Vdd and the output signal out which carries out full amplitude actuation in the range of Vss level (0-5 volts) are outputted, without impressing the electrical potential difference which exceeds the proof pressure (2.5 volts) between the gate of each transistors TP1 and TN1, and a source drain like the gestalt of the 2nd operation. That is, in this output circuit 10a, the output signal out of the amplitude exceeding pressure-proofing of each transistors TP1 and TN1 can be outputted, without raising pressure-proofing of each transistors TP1 and TN1.

[0159] (2) Moreover, it is intermediate voltage Vb. Said output signal out is outputted with the input signal in 0 which changes between level and low voltage side power-source Vss level. Therefore, since the number of signals to input can be reduced as compared with the gestalt of said 2nd operation, the signal line can be lessened.

[0160] (3) Moreover, if an input signal in 0 is set to low voltage side power-source Vss level in level converter circuit 20c of the gestalt of this operation, the input signal in 0 is intermediate voltage Vb by NOR circuit 38 and the delay circuit 40. It is changed into the single shot pulse signal set to low voltage side power-source Vss level from level after predetermined time progress. Therefore, the NMOS transistor TN21 and TN23 Since ON time amount becomes short, they are this transistor TN21 and TN23. The flowing penetration current can be suppressed small. Moreover, an input signal in 0 is intermediate voltage Vb. If set to level, the input signal in 0 is intermediate voltage Vb by AND circuit 37 and the delay circuit 40. It is changed into the single shot pulse signal set to low voltage side power-source Vss level from level after predetermined time progress. Therefore, the NMOS transistor TN18 and TN22 Since ON time amount becomes short, they are this transistor TN18 and TN22. The flowing penetration current can be suppressed small. Therefore, each transistor TN18 and TN21 -TN23 Since the flowing penetration current can be suppressed small, power consumption is reducible.

[0161] (Gestalt of the 7th operation) The gestalt of the 7th operation which materialized this invention is hereafter explained according to drawing 9 . In addition, with the gestalt of this operation, the sign same about the same configuration as the gestalt of the 2nd operation shown in drawing 4 is attached, and the detailed explanation is omitted.

[0162] Drawing 9 shows NAND circuit 50 in the gestalt of this operation. As for output circuit 10b with which the output stage of NAND circuit 50 is equipped, the 1st and 2nd inverter circuits 15 and 16 are permuted by 1st and 2nd NAND circuits 51 and 52 to output circuit 10a of the gestalt of the 2nd operation. That is, the output signal of 1st NAND circuit 51 is outputted to a node N1, and the output signal of 2nd NAND circuit 52 is outputted

to a node N2.

[0163] In 1st NAND circuit 51, they are the high potential side power source Vdd and intermediate voltage Vb as a power source of operation. The power source of level is supplied. An input signal in 11 is inputted into one input terminal of 1st NAND circuit 51 through the power source 53 for level shifts, and an input signal in 12 is inputted into the input terminal of the another side through the power source 54 for level shifts.

[0164] Said input signals in11 and in12 are signalswhich change between low voltage side power-source Vss level and intermediate voltage Vb level. And the power sources 53 and 54 for level shifts are low voltage side power-source Vss level and intermediate voltage Vb. It is intermediate voltage Vb about the input signals in11 and in12 which change between level. It shifts to the signal which changes between level and high potential side power-source Vdd level, and the shifted signal is outputted to 1st NAND circuit 51.

[0165] In 2nd NAND circuit 52, it is intermediate voltage Vb as a power source of operation. The power source of level and the low voltage side power source Vss are supplied. Said input signal in 11 is inputted into one input terminal of 2nd NAND circuit 52, and said input signal in 12 is inputted into the input terminal of the another side.

[0166] Thus, if said input signals in11 and in12 are set to low voltage side power-source Vss level in both constituted output circuit 10b, these input signals in11 and in12 are intermediate voltage Vb by the power sources 53 and 54 for level shifts. It is shifted to the signal of level and the shifted signal is inputted into 1st NAND circuit 51. Moreover, said input signals in11 and in12 of low voltage side power-source Vss level are inputted into 2nd NAND circuit 52.

[0167] Then, the output signal of 1st NAND circuit 51, i.e., the potential of a node N1, is set to high potential side power-source Vdd level, and the output signal of 2nd NAND circuit 52, i.e., the potential of a node N2, is intermediate voltage Vb. It is set to level. In this way, the potential of a node N1 is set to high potential side power-source Vdd level, and the potential of a node N2 is intermediate voltage Vb. If set to level, the CMOS inverter circuit 11 will operate like the gestalt of the 2nd operation, and the output signal out of NAND circuit 50 will be set to high potential side power-source Vdd level.

[0168] Moreover, said both input signals in11 and in12 are intermediate voltage Vb. If set to level, these input signals in11 and in12 will be shifted to the signal of high potential side power-source Vdd level by the power sources 53 and 54 for level shifts, and the shifted signal will be inputted into 1st NAND circuit 51. Moreover, in 2nd NAND circuit 52, it is intermediate voltage Vb. Said input signals in11 and in12 of level are inputted.

[0169] Then, the output signal of 1st NAND circuit 51, i.e., the potential of a node N1,

is intermediate voltage Vb. It is set to level and the output signal of 2nd NAND circuit 52, i.e., the potential of a node N2, is set to low voltage side power-source Vss level. In this way, the potential of a node N1 is intermediate voltage Vb. If it is set to level and the potential of a node N2 is set to low voltage side power-source Vss level, the CMOS inverter circuit 11 will operate like the gestalt of the 2nd operation, and the output signal out of NAND circuit 50 will be set to low voltage side power-source Vss level.

[0170] Moreover, said input signal in 11 is intermediate voltage Vb. If it is set to level and said input signal in 12 is set to low voltage side power-source Vss level, an input signal in 11 is shifted to the signal of high potential side power-source Vdd level by the power sources 53 and 54 for level shifts, and an input signal in 12 is intermediate voltage Vb. It is shifted to the signal of level. And the shifted signal is inputted into 1st NAND circuit 51, respectively. Moreover, in 2nd NAND circuit 52, it is intermediate voltage Vb. The input signal in 11 of level and the input signal in 12 of low voltage side power-source Vss level are inputted.

[0171] Then, the output signal of 1st NAND circuit 51, i.e., the potential of a node N1, is set to high potential side power-source Vdd level, and the output signal of 2nd NAND circuit 52, i.e., the potential of a node N2, is intermediate voltage Vb. It is set to level. In this way, the potential of a node N1 is set to high potential side power-source Vdd level, and the potential of a node N2 is intermediate voltage Vb. If set to level, the CMOS inverter circuit 11 will operate like the gestalt of the 2nd operation, and the output signal out of NAND circuit 50 will be set to high potential side power-source Vdd level.

[0172] Moreover, said input signal in 11 is set to low voltage side power-source Vss level, and said input signal in 12 is intermediate voltage Vb. If set to level, an input signal in 11 is intermediate voltage Vb by the power sources 53 and 54 for level shifts. It is shifted to the signal of level and an input signal in 12 is shifted to the signal of high potential side power-source Vdd level. And the shifted signal is inputted into 1st NAND circuit 51, respectively. Moreover, in 2nd NAND circuit 52, it is the input signal in 11 and intermediate voltage Vb of low voltage side power-source Vss level. The input signal in 12 of level is inputted.

[0173] Then, the output signal of 1st NAND circuit 51, i.e., the potential of a node N1, is set to high potential side power-source Vdd level, and the output signal of 2nd NAND circuit 52, i.e., the potential of a node N2, is intermediate voltage Vb. It is set to level. In this way, the potential of a node N1 is set to high potential side power-source Vdd level, and the potential of a node N2 is intermediate voltage Vb. If set to level, the CMOS inverter circuit 11 will operate like the gestalt of the 2nd operation, and the output signal out of NAND circuit 50 will be set to high potential side power-source Vdd level.

[0174] That is, in both NAND circuits 50 of the gestalt of this operation, said input signals in11 and in12 are intermediate voltage Vb. If the output signal out will be set to low voltage side power-source Vss level if set to level, and at least one side is set to low voltage side power-source Vss level among said input signals in11 and in12, the output signal out will be set to high potential side power-source Vdd level.

[0175] And in this output circuit 10b, a power source Vdd and the output signal out which carries out full amplitude actuation in the range of Vss level (0-5 volts) can be outputted, without impressing the electrical potential difference which exceeds that proof pressure (2.5 volts) between the gate of each transistors TP1 and TN1, and a source drain.

[0176] As described above, the operation effectiveness taken below can be acquired with the gestalt of this operation.

(1) In output circuit 10b of the gestalt of this operation, a power source Vdd and the output signal out which carries out full amplitude actuation in the range of Vss level (0-5 volts) are outputted, without impressing the electrical potential difference which exceeds the proof pressure (2.5 volts) between the gate of each transistors TP1 and TN1, and a source drain like the gestalt of the 2nd operation. That is, in this output circuit 10b, the output signal out of the amplitude exceeding pressure-proofing of each transistors TP1 and TN1 can be outputted, without raising pressure-proofing of each transistors TP1 and TN1.

[0177] (Gestalt of the 8th operation) The gestalt of the 8th operation which materialized this invention is hereafter explained according to drawing 10 . In addition, it prepares for the output stage of the operational amplifier circuit 60 in the gestalt of this operation of output circuit 10a of the gestalt of the 2nd operation shown in drawing 4 with the gestalt of this operation. Therefore, the sign same about the same configuration as the gestalt of the 2nd operation is attached, and the detailed explanation is omitted.

[0178] Drawing 10 shows the operational amplifier circuit 60 of the gestalt of this operation. The operational amplifier circuit 60 consists of an input circuit 61 and said output circuit 10a. An input circuit 61 consists of the PMOS transistors [TP / TP and / 26] 25, NMOS transistor TN24 -TN28, and resistance R3-R5.

[0179] The NMOS transistor TN24 and TN25 While the mutual source is connected, in the source, it is the NMOS transistor TN26. It minds and the low voltage side power source Vss is supplied. The NMOS transistor TN26 and TN27 That current Miller circuit 62 should be constituted, while the mutual gate is connected, the gate is the NMOS transistor TN27. It connects with the gate. NMOS transistor TN27 The high potential side power source Vdd is supplied to a drain through resistance R3, and the low voltage side power source Vss is supplied to the source. And the NMOS transistor TN26 and TN27 And resistance R3 constitutes the constant current source.

[0180] Said NMOS transistor TN24 In a drain, it is the NMOS transistor TN28. And PMOS transistor TP 25 It minds and the high potential side power source Vdd is supplied. NMOS transistor TN28 In the gate, it is intermediate voltage Vb. It is supplied.

[0181] PMOS transistors [TP / TP and / 26] 25 While the mutual gate is connected that current Miller circuit 63 should be constituted, the gate is the PMOS transistor TP 25. It connects with a drain. PMOS transistor TP 26 The high potential side power source Vdd is supplied to the source; resistance R4 is minded [the], and it is intermediate voltage Vb. It is supplied.

[0182] Moreover, said NMOS transistor TN25 Resistance R5 is minded and it is intermediate voltage Vb. It is supplied. This NMOS transistor TN25 The gate is the non-inversed input terminal of the operational amplifier circuit 60, and is intermediate voltage Vb in this gate. The input signal in 21 which changes between level and low voltage side power-source Vss level is inputted. Moreover, said NMOS transistor TN24 The gate is the inversed input terminal of the operational amplifier circuit 60, and is intermediate voltage Vb in this gate. The input signal in 22 which changes between level and low voltage side power-source Vss level is inputted.

[0183] And said PMOS transistor TP 26 The node N11 between resistance R4 is connected to the input terminal of the 1st inverter circuit 15 which constitutes said output circuit 10a. That is, the potential of a node N11 is inputted into the 1st inverter circuit 15 as said 1st input signal in 1. Moreover, said NMOS transistor TN25 The node N12 between resistance R5 is connected to the input terminal of the 2nd inverter circuit 16 which constitutes said output circuit 10a. That is, the potential of a node N12 is inputted into the 2nd inverter circuit 16 as said 2nd input signal in 2.

[0184] In addition, said resistance R4 and R5 maintains the potential difference between nodes N [N11 and] 12 on intermediate voltage Vb level (2.5 volts). That is, if the potential of a node N11 rises to near the high potential side power-source Vdd level, the potential of a node N12 is intermediate voltage Vb. It goes up to near the level. On the other hand, if the potential of a node N12 descends to near the low voltage side power-source Vss level, the potential of a node N11 is intermediate voltage Vb. It descends to near the level.

[0185] Thus, when the level of the input signal in 22 inputted into an inversed input terminal becomes high relatively in the constituted operational amplifier circuit 60 from the level of the input signal in 21 inputted into a non-inversed input terminal, it is the NMOS transistor TN24. Current drive capacity is the NMOS transistor TN25. It becomes higher than current drive capacity. Then, NMOS transistor TN28 Source potential descends and it is this transistor TN28. Current drive capacity is heightened. This NMOS transistor TN28 When current drive capacity is heightened, it is the PMOS transistor TP 25. A drain current, i.e., the

drain current of the PMOS transistor TP 26, increases.

[0186] Moreover, since in other words the level of the input signal in 21 inputted into a non-inversed input terminal becomes low relatively from the level of the input signal in 22 inputted into an inversed input terminal, it is the NMOS transistor TN25. Current drive capacity is suppressed. Then, NMOS transistor TN25 A drain current decreases.

[0187] And the potential in 1 of a node N11, i.e., said 1st input signal, rises to near the high potential side power-source Vdd level in operating in this way, and the potential in 2 of a node N12, i.e., said 2nd input signal, is intermediate voltage Vb. It goes up to near the level. In this way, the 1st input signal in 1 goes up to near the high potential side power-source Vdd level, and the 2nd input signal in 2 is intermediate voltage Vb. If it goes up to near the level, said output circuit 10a will operate like the gestalt of the 2nd operation, and the output signal out will descend to near the low voltage side power-source Vss level.

[0188] On the other hand, when the level of the input signal in 22 inputted into an inversed input terminal becomes low relatively from the level of the input signal in 21 inputted into a non-inversed input terminal, it is the NMOS transistor TN24. Current drive capacity is the NMOS transistor TN25. It becomes lower than current drive capacity. Then, NMOS transistor TN24 It follows on the fall of current drive capacity, and is the NMOS transistor TN28. Current drive capacity is suppressed. This NMOS transistor TN28 When current drive capacity is suppressed, it is the PMOS transistor TP 25. Drain current TP 26, i.e., a PMOS transistor, A drain current decreases.

[0189] Moreover, since in other words the level of the input signal in 21 inputted into a non-inversed input terminal becomes high relatively from the level of the input signal in 22 inputted into an inversed input terminal, it is the NMOS transistor TN25. Current drive capacity is heightened. Then, NMOS transistor TN25 A drain current increases.

[0190] And the potential in 1 of a node N11, i.e., said 1st input signal, is intermediate voltage Vb by operating in this way. It descends to near the level and the potential in 2 of a node N12, i.e., said 2nd input signal, descends to near the low voltage side power-source Vss level. In this way, the 1st input signal in 1 is intermediate voltage Vb. If it descends to near the level and the 2nd input signal in 2 descends to near the low voltage side power-source Vss level, said output circuit 10a will operate like the gestalt of the 2nd operation, and the output signal out will go up to near the high potential side power-source Vdd level.

[0191] And in this output circuit 10a, a power source Vdd and the output signal out which carries out full amplitude actuation in the range of Vss level (0-5 volts) can be outputted, without impressing the electrical potential difference which exceeds that proof pressure (2.5 volts) between the gate of each transistors TP1 and TN1, and a source drain

like the gestalt of said 2nd operation.

[0192] As described above, the operation effectiveness taken below can be acquired with the gestalt of this operation.

(1) In output circuit 10a of the gestalt of this operation, a power source Vdd and the output signal out which carries out full amplitude actuation in the range of Vss level (0-5 volts) are outputted, without impressing the electrical potential difference which exceeds the proof pressure (2.5 volts) between the gate of each transistors TP1 and TN1, and a source drain like the gestalt of the 2nd operation. That is, in this output circuit 10a, the output signal out of the amplitude exceeding pressure-proofing of each transistors TP1 and TN1 can be outputted, without raising pressure-proofing of each transistors TP1 and TN1.

[0193] In addition, the gestalt of operation of this invention may be changed as follows. O At the gestalt of each above-mentioned implementation, it is the fixed intermediate voltage Vb in the middle level of power sources Vdd and Vss to the gate of the input terminal TP1 and TN1 of the CMOS inverter circuit 11, i.e., both transistors. Although it was made to supply The intermediate voltage Vb As long as an electrical-potential-difference value is between an electrical potential difference only with the low threshold of high potential side power-source Vdd level to the PMOS transistor TP 1, and an electrical potential difference only with the high threshold of low voltage side power-source Vss level to the NMOS transistor TN1, it may be been fixed or changed.

[0194] O With the gestalt of the above 3rd - the 6th and 8th implementation, although output circuit 10a of the gestalt of the 2nd operation was used, the output circuit 10 of the gestalt of the 1st operation which is shown in drawing 4 and which is shown in drawing 2 may be used.

[0195] O In order to make it the big potential difference not arise with the gestalt of each above-mentioned implementation between the sources of both the transistors TP1 and TN1 (i.e., between nodes N [N1 and] 2) The timing which raises the potential of a node N2 at the time of the standup of an output signal out as shown in drawing 3 is already set from the timing which raises the potential of a node N1 at the time of falling of a comb and an output signal out. Although timing which drops the potential of a node N2 was made later than the timing which drops the potential of a node N1, the potential of nodes N1 and N2 may be made to change to coincidence.

[0196] O With the gestalt of implementation of the above 6th, although the delay circuit 40 was constituted from an inverter circuit 32 and an integrating circuit 39 which consists of resistance and capacity, it is not limited to this configuration. For example, two or more inverter circuits may be connected to a serial, and a delay circuit may be constituted.

[0197]

[Effect of the Invention] As explained in full detail above, according to this invention, in the output circuit which consists of a CMOS inverter circuit, the output circuit which may output the output signal of the amplitude exceeding pressure-proofing of an MOS transistor and the level converter circuit equipped with the output circuit, a logical circuit, and an operational amplifier circuit can be offered.

[Brief Description of the Drawings]

[Drawing 1] It is the principle explanatory view of this invention.

[Drawing 2] It is the circuit diagram showing the output circuit in the gestalt of the 1st operation.

[Drawing 3] It is the wave form chart showing actuation of the output circuit in the gestalt of the 1st operation.

[Drawing 4] It is the circuit diagram showing the output circuit in the gestalt of the 2nd operation.

[Drawing 5] It is the circuit diagram showing the level converter circuit in the gestalt of the 3rd operation.

[Drawing 6] It is the circuit diagram showing the level converter circuit in the gestalt of the 4th operation.

[Drawing 7] It is the circuit diagram showing the level converter circuit in the gestalt of the 5th operation.

[Drawing 8] It is the circuit diagram showing the level converter circuit in the gestalt of the 6th operation.

[Drawing 9] It is the circuit diagram showing the NAND circuit in the gestalt of the 7th operation.

[Drawing 10] It is the circuit diagram showing the operational amplifier circuit in the gestalt of the 8th operation.

[Description of Notations]

1 CMOS Inverter Circuit

2 Potential Control Circuit

TP PMOS transistor

TN NMOS transistor

V1 The high potential side power source as an external power

V2 The low voltage side power source as an external power

V3 Reference voltage

in Input signal

out Output signal

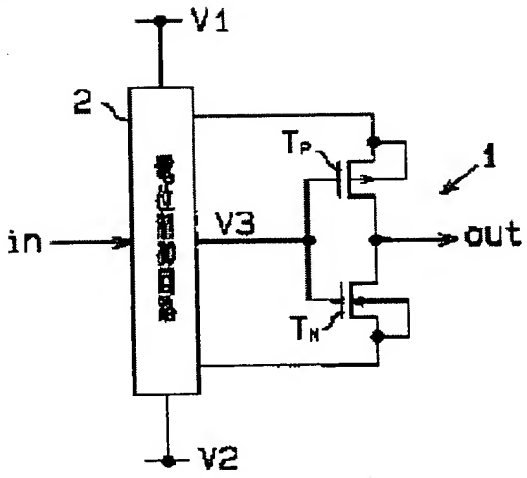
OUTPUT CIRCUIT, LEVEL CONVERTER CIRCUIT, LOGIC CIRCUIT AND OPERATIONAL AMPLIFIER CIRCUIT

Patent number: JP11346150
Publication date: 1999-12-14
Inventor: OKADA KOJI
Applicant: FUJITSU LTD;; FUJITSU VLSI LTD
Classification:
- international: H03K19/0948; H03K19/0175; H03K19/0185; H03K19/003
- european: H03K19/0185B4; H03K19/0185B4D
Application number: JP19980151627 19980601
Priority number(s): JP19980151627 19980601

Also published as:
US6249169 (B
FR2779293 (A

Abstract of **JP11346150**

PROBLEM TO BE SOLVED: To provide an output circuit which can output an output signal of an amplitude that exceeds the breakdown voltage of a MOS transistor, for an output circuit consisting of a CMOS inverter circuit.
SOLUTION: A potential control circuit 2 supplies a voltage between a voltage lower by a threshold of a PMOS transistor TP than a high potential side power source V1 level and a voltage higher by a threshold of an NMOS transistor TN than a low potential side power source V2 to a gate as a reference voltage V3. Then, when an input signal (in) reaches a first level, the source potentials of both of the transistors TP and TN are synchronized and raised, a voltage between a gate and the source of the transistor TN is made lower than the threshold with a source potential of the transistor TP as a power source V1 level. When the input signal (in) reaches a second level, the source potential of both of the transistors TP and TN are synchronized and lowered, and the voltage between the gate and the source is lowered than the threshold with the source potential of the transistor TN as a power source V2 level.



(19)日本国特許庁（ＪＰ）　(12)公開特許公報(A)　(11)特許出願公開番号

特開平11－346150

(43)公開日　平成11年(1999)12月14日

(51)Int.Cl.⁶	識別記号	FI	
H03K 19/0175		H03K 19/00	101F
19/0185		19/003	E
19/003		19/00	101D
19/0948		19/094	B

審査請求　未請求　請求項の数12　OL　（全 26 頁）

(21)出願番号　特願平10－151627

(22)出願日　平成10年(1998)６月１日

(71)出願人　000005223
富士通株式会社
神奈川県川崎市中原区上小田中４丁目１番１号

(71)出願人　000237617
富士通ヴィエルエスアイ株式会社
愛知県春日井市高蔵寺町２丁目1844番２

(72)発明者　岡田　浩司
愛知県春日井市高蔵寺町二丁目1844番２
富士通ヴィエルエスアイ株式会社内

(74)代理人　弁理士　恩田　博宣

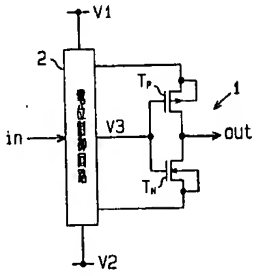
(54)【発明の名称】　出力回路、レベルコンバータ回路、論理回路、及び、オペアンプ回路

(57)【要約】

【課題】ＣＭＯＳインバータ回路からなる出力回路において、ＭＯＳトランジスタの耐圧を超える振幅の出力信号を出力し得る出力回路を提供する。

【解決手段】電位制御回路２は、高電位側電源Ｖ１レベルからＰＭＯＳトランジスタＴＰのしきい値だけ低い電圧と、低電位側電源Ｖ２レベルからＮＭＯＳトランジスタＴＮのしきい値だけ高い電圧との間の電圧を基準電圧Ｖ３としてゲートに供給する。そして、入力信号ｉｎが第１のレベルになると、両トランジスタＴＰ，ＴＮのソース電位を同期して上昇させて、トランジスタＴＰのソース電位を電源Ｖ１レベルとし、トランジスタＴＮのゲート・ソース間電圧をしきい値より低くし、入力信号ｉｎが第２のレベルになると、両トランジスタＴＰ，ＴＮのソース電位を同期して下降させて、トランジスタＴＮのソース電位を電源Ｖ２レベルとし、トランジスタＴＰのゲート・ソース間電圧をしきい値より低くする。

本発明の原理説明図



【特許請求の範囲】

【請求項１】　ＣＭＯＳインバータ回路から構成され、２値化された入力信号に基づいて外部電源レベルで変化する出力信号を出力する出力回路であって、

高電位側電源レベルからＰＭＯＳトランジスタのしきい値だけ低い電圧と、低電位側電源レベルからＮＭＯＳトランジスタのしきい値だけ高い電圧との間の電圧を基準電圧として各トランジスタのゲートに供給し、前記入力信号が第１のレベルになると、両トランジスタのソース電位を同期して上昇させて、ＰＭＯＳトランジスタのソース電位を高電位側電源レベルとするとともに、ＮＭＯＳトランジスタのゲート・ソース間電圧をそのしきい値より低くし、前記入力信号が第２のレベルになると、両トランジスタのソース電位を同期して下降させて、ＮＭＯＳトランジスタのソース電位を低電位側電源レベルとするとともに、ＰＭＯＳトランジスタのゲート・ソース間電圧をそのしきい値より低くする電位制御回路を備えたことを特徴とする出力回路。

【請求項２】　請求項１に記載の出力回路において、

前記電位制御回路は、

高電位側電源レベルからＰＭＯＳトランジスタのしきい値だけ低い電圧と、低電位側電源レベルからＮＭＯＳトランジスタのしきい値だけ高い電圧との間の定電圧を基準電圧として各トランジスタのゲートに供給する基準電圧発生回路と、

前記入力信号が第１のレベルになると、両トランジスタのソース電位を同期して上昇させて、ＰＭＯＳトランジスタのソース電位を高電位側電源レベルとするとともに、ＮＭＯＳトランジスタのゲート・ソース間電圧をそのしきい値より低くし、前記入力信号が第２のレベルになると、両トランジスタのソース電位を同期して下降させて、ＮＭＯＳトランジスタのソース電位を低電位側電源レベルとするとともに、ＰＭＯＳトランジスタのゲート・ソース間電圧をそのしきい値より低くするソース電位制御回路とから構成したことを特徴とする出力回路。

【請求項３】　請求項２に記載の出力回路において、

前記ソース電位制御回路は、

前記ＰＭＯＳトランジスタのソースと高電位側電源との間に介在され、そのゲートに高電位側電源レベルと前記基準電圧レベルとの間で変化する第１の入力信号が入力されるＮＭＯＳトランジスタよりなる第１のソースフォロワ回路と、

前記ＮＭＯＳトランジスタのソースと低電位側電源との間に介在され、そのゲートに前記第１の入力信号と同期して同方向に変化し、かつ前記基準電圧レベルと低電位側電源レベルとの間で変化する第２の入力信号が入力されるＰＭＯＳトランジスタよりなる第２のソースフォロワ回路とから構成したことを特徴とする出力回路。

【請求項４】　請求項２に記載の出力回路において、

前記ソース電位制御回路は、

動作電源として高電位側電源と前記基準電圧レベルの電源とが供給され、その入力端子に高電位側電源レベルと前記基準電圧レベルとの間で変化する第１の入力信号が入力されるとともに、その入力信号に基づいた出力信号を前記ＰＭＯＳトランジスタのソースに供給する第１のインバータ回路と、

動作電源として前記基準電圧レベルの電源と低電位側電源とが供給され、その入力端子に前記第１の入力信号と同期して同方向に変化し、かつ前記基準電圧レベルと低電位側電源レベルとの間で変化する第２の入力信号が入力されるとともに、その入力信号に基づいた出力信号を前記ＮＭＯＳトランジスタのソースに供給する第２のインバータ回路とから構成したことを特徴とする出力回路。

【請求項５】　請求項２に記載の出力回路において、

前記ソース電位制御回路は、前記出力信号の立ち上げ時においては、前記ＮＭＯＳトランジスタのソース電位を変化させるタイミングを、前記ＰＭＯＳトランジスタのソース電位を変化させるタイミングより早くし、前記出力信号の立ち下げ時においては、前記ＮＭＯＳトランジスタのソース電位を変化させるタイミングを、前記ＰＭＯＳトランジスタのソース電位を変化させるタイミングより遅くしたことを特徴とする出力回路。

【請求項６】　請求項３又は４に記載の出力回路と、

入力信号を前記第１の入力信号とその第１の入力信号と同期して同方向に変化する第２の入力信号に変換し、その変換した第１及び第２の入力信号を前記出力回路に出力する入力信号変換回路とを備えたことを特徴とするレベルコンバータ回路。

【請求項７】　請求項６に記載のレベルコンバータ回路において、

前記入力信号変換回路は、

高電位側電源と前記基準電圧レベルの電源との間に第１のカレントミラー回路と抵抗を直列に接続するとともに、前記入力信号に基づいて第１のカレントミラー回路を活性状態又は非活性状態に切り替える第１のスイッチ回路から構成し、第１のカレントミラー回路と抵抗との接続点から前記第１の入力信号を前記出力回路に出力する第１の入力信号変換回路部と、

前記基準電圧レベルの電源と低電位側電源との間に第２のカレントミラー回路と抵抗を直列に接続するとともに、前記入力信号に基づいて第２のカレントミラー回路を活性状態又は非活性状態に切り替える第２のスイッチ回路から構成し、第２のカレントミラー回路と抵抗との接続点から前記第１の入力信号と同期して同方向に変化する前記第２の入力信号を前記出力回路に出力する第２の入力信号変換回路部とからなることを特徴とするレベルコンバータ回路。

【請求項８】　請求項６に記載のレベルコンバータ回路において、

3

前記入力信号変換回路は、
高電位側電源と前記基準電圧レベルの電源との間に第１及び第３のカレントミラー回路を直列に接続するとともに、前記入力信号に基づいて第１のカレントミラー回路を活性状態又は非活性状態に切り替える第１のスイッチ回路と、前記入力信号に基づいて第３のカレントミラー回路を前記第１のカレントミラー回路に対して相補動作させる第３のスイッチ回路とから構成し、両カレントミラー回路の接続点から前記第１の入力信号を前記出力回路に出力する第１の入力信号変換回路部と、
前記基準電圧レベルの電源と低電位側電源との間に第２及び第４のカレントミラー回路を直列に接続するとともに、前記入力信号に基づいて第２のカレントミラー回路を活性状態又は非活性状態に切り替える第２のスイッチ回路と、前記入力信号に基づいて第４のカレントミラー回路を前記第２のカレントミラー回路に対して相補動作させる第４のスイッチ回路とから構成し、両カレントミラー回路の接続点から前記第１の入力信号と同期して同方向に変化する前記第２の入力信号を前記出力回路に出力する第２の入力信号変換回路部とからなることを特徴とするレベルコンバータ回路。

【請求項９】　請求項６に記載のレベルコンバータ回路において、
前記入力信号は、前記基準電圧レベルと低電位側電源レベルとの間で変化する信号であって、
前記入力信号変換回路は、
高電位側電源と前記基準電圧レベルの電源との間に第１及び第３のカレントミラー回路を直列に接続するとともに、前記入力信号に基づいて第１のカレントミラー回路を活性状態又は非活性状態に切り替える第１のスイッチ回路と、前記入力信号に基づいて第３のカレントミラー回路を前記第１のカレントミラー回路に対して相補動作させる第３のスイッチ回路とから構成し、両カレントミラー回路の接続点から前記第１の入力信号を前記出力回路に出力する第１の入力信号変換回路部と、
前記入力信号を前記第１の入力信号と同期して同方向に変化する前記第２の入力信号として前記出力回路に出力する第２の入力信号変換回路部とからなることを特徴とするレベルコンバータ回路。

【請求項１０】　請求項６に記載のレベルコンバータ回路において、
前記入力信号変換回路は、
前記第１の入力信号レベルを高電位側電源レベルに切り替える第１のカレントミラー回路と、前記第１の入力信号レベルを前記基準電圧レベルに切り替える第３のカレントミラー回路と、前記第１の入力信号のレベルを前記入力信号が変化するまで維持する第１のラッチ回路と、第１のカレントミラー回路を活性状態又は非活性状態に切り替える第１のスイッチ回路と、第１のカレントミラー回路に対して第３のカレントミラー回路を相補動作させる第３のスイッチ回路とから構成した第１の入力信号変換回路部と、
前記第２の入力信号レベルを前記基準電圧レベルに切り替える第２のカレントミラー回路と、前記第２の入力信号レベルを低電位側電源に切り替える第４のカレントミラー回路と、前記第２の入力信号のレベルを前記入力信号が変化するまで維持する第２のラッチ回路と、第２のカレントミラー回路を活性状態又は非活性状態に切り替える第２のスイッチ回路と、第４のカレントミラー回路に対して第４のカレントミラー回路を相補動作させる第４のスイッチ回路とから構成した第２の入力信号変換回路部と、
前記入力信号をワンショットパルス信号に変換し、第１及び第２のスイッチ回路を介して第１及び第２のカレントミラー回路を同期して所定時間だけ活性化させるとともに、第３及び第４のスイッチ回路を介して第３及び第４のカレントミラー回路を同期して所定時間だけ活性化させるワンショット回路とからなることを特徴とするレベルコンバータ回路。

【請求項１１】　請求項１～５のいずれかに記載の出力回路を、その出力段に備えたことを特徴とする論理回路。

【請求項１２】　請求項１～５のいずれかに記載の出力回路を、その出力段に備えたことを特徴とするオペアンプ回路。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明はトランジスタにて構成される出力回路、及び、その出力回路を備えたレベルコンバータ回路、論理回路、オペアンプ回路に係り、詳しくは、そのトランジスタの耐圧を超える振幅の出力信号を出力可能な出力回路、及び、その出力回路を備えたレベルコンバータ回路、論理回路、オペアンプ回路に関する。

【０００２】近年の半導体集積回路装置では、ますます微細化が進んでいる。そのため、上記した出力回路では、該回路を構成するトランジスタの耐圧が外部電源レベルよりも低くなっている。一方で、近年の半導体集積回路装置では、多機能な回路を１チップ化することが主流となりつつある。そのため、上記した出力回路では、出力信号の振幅を外部電源レベルまで大きくする必要がある。そこで、このような出力回路では、トランジスタの破損を防止しながら、外部電源レベルで変化する出力信号を出力可能とすることが要求されている。

【０００３】

【従来の技術】従来、CMOSインバータ回路からなる出力回路では、外部から高電位側電源Vdd（５ボルト）及び低電位側電源Vss（０ボルト）が供給されて駆動されているものがある。このインバータ回路の入力端子には、電源Vdd，Vssレベルの範囲でフル振幅で動作する

5

入力信号が入力される。そして、インバータ回路の出力端子からは、その入力信号の反転信号が出力信号として出力される。

【０００４】一方、上記したように近年の半導体集積回路装置の微細化で、該装置を構成するMOSトランジスタの耐圧が電源Vdd，Vssレベルより低下してきている。しかしながら、前記出力回路を構成するMOSトランジスタは、電源Vdd，Vssレベルの範囲でフル振幅動作する出力信号を出力するにはその耐圧が電源Vdd，Vssの差電圧以上必要である。そのため、出力回路を構成するMOSトランジスタには、特別に高耐圧のMOSトランジスタが用意される。具体的には、出力回路を構成するMOSトランジスタは、その製造プロセスにおいて、特別にゲート酸化膜生成工程を２回繰り返すことによりゲート絶縁膜が厚膜化され、高耐圧化されている。

【０００５】

【発明が解決しようとする課題】ところが、ゲート酸化膜生成工程を２回繰り返してゲート絶縁膜を厚膜化する形態では、MOSトランジスタの特性のばらつきが大きくなるばかりか、特別なプロセスが必要であるため、半導体集積回路装置の製造コストが上昇するという問題が生じる。

【０００６】又、MOSトランジスタのゲート絶縁膜を厚膜化すると、トランジスタのしきい値が高くなり、オン抵抗が大きくなる。そのため、トランジスタの駆動能力が低下してしまう。従って、トランジスタの駆動能力を高くするためには、トランジスタのサイズを大きくする必要があり、このことは半導体集積回路装置の高集積化の妨げとなる。

【０００７】そこで、MOSトランジスタの耐圧を上げることなく、電源Vdd，Vssレベルで変化する出力信号を出力可能な出力回路が必要となってきた。本発明は、上記問題点を解決するためになされたものであって、その目的は、CMOSインバータ回路からなる出力回路において、MOSトランジスタの耐圧を超える振幅の出力信号を出力し得る出力回路、及び、その出力回路を備えたレベルコンバータ回路、論理回路、オペアンプ回路を提供することにある。

【０００８】

【課題を解決するための手段】図１は、請求項１の原理説明図である。即ち、出力回路は、CMOSインバータ回路１から構成され、２値化された入力信号ｉｎに基づいて外部電源Ｖ１，Ｖ２レベルで変化する出力信号ｏｕｔを出力する。電位制御回路２は、高電位側電源Ｖ１レベルからPMOSトランジスタTPのしきい値だけ低い電圧と、低電位側電源Ｖ２レベルからNMOSトランジスタTNのしきい値だけ高い電圧との間の電圧を基準電圧Ｖ３として各トランジスタTP，TNのゲートに供給し、前記入力信号ｉｎが第１のレベルになると、両トランジスタTP，TNのソース電位を同期して上昇させて、PMOSトランジスタTPのソース電位を高電位側電源Ｖ１レベルとするとともに、NMOSトランジスタTNのゲート・ソース間電圧をそのしきい値より低くし、前記入力信号ｉｎが第２のレベルになると、両トランジスタTP，TNのソース電位を同期して下降させて、NMOSトランジスタTNのソース電位を低電位側電源Ｖ２レベルとするとともに、PMOSトランジスタTPのゲート・ソース間電圧をそのしきい値より低くする。

【０００９】請求項２に記載の発明は、請求項１に記載の出力回路において、前記電位制御回路は、高電位側電源レベルからPMOSトランジスタのしきい値だけ低い電圧と、低電位側電源レベルからNMOSトランジスタのしきい値だけ高い電圧との間の定電圧を基準電圧として各トランジスタのゲートに供給する基準電圧発生回路と、前記入力信号が第１のレベルになると、両トランジスタのソース電位を同期して上昇させて、PMOSトランジスタのソース電位を高電位側電源レベルとするとともに、NMOSトランジスタのゲート・ソース間電圧をそのしきい値より低くし、前記入力信号が第２のレベルになると、両トランジスタのソース電位を同期して下降させて、NMOSトランジスタのソース電位を低電位側電源レベルとするとともに、PMOSトランジスタのゲート・ソース間電圧をそのしきい値より低くするソース電位制御回路とから構成した。

【００１０】請求項３に記載の発明は、請求項２に記載の出力回路において、前記ソース電位制御回路は、前記PMOSトランジスタのソースと高電位側電源との間に介在され、そのゲートに高電位側電源レベルと前記基準電圧レベルとの間で変化する第１の入力信号が入力されるNMOSトランジスタよりなる第１のソースフォロワ回路と、前記NMOSトランジスタのソースと低電位側電源との間に介在され、そのゲートに前記第１の入力信号と同期して同方向に変化し、かつ前記基準電圧レベルと低電位側電源レベルとの間で変化する第２の入力信号が入力されるPMOSトランジスタよりなる第２のソースフォロワ回路とから構成した。

【００１１】請求項４に記載の発明は、請求項２に記載の出力回路において、前記ソース電位制御回路は、動作電源として高電位側電源と前記基準電圧レベルの電源とが供給され、その入力端子に高電位側電源レベルと前記基準電圧レベルとの間で変化する第１の入力信号が入力されるとともに、その入力信号に基づいた出力信号を前記PMOSトランジスタのソースに供給する第１のインバータ回路と、動作電源として前記基準電圧レベルの電源と低電位側電源とが供給され、その入力端子に前記第１の入力信号と同期して同方向に変化し、かつ前記基準電圧レベルと低電位側電源レベルとの間で変化する第２の入力信号が入力されるとともに、その入力信号に基づいた出力信号を前記NMOSトランジスタのソースに供

7

給する第２のインバータ回路とから構成した。

【００１２】請求項５に記載の発明は、請求項２に記載の出力回路において、前記ソース電位制御回路は、前記出力信号の立ち上げ時においては、前記ＮＭＯＳトランジスタのソース電位を変化させるタイミングを、前記ＰＭＯＳトランジスタのソース電位を変化させるタイミングより早くし、前記出力信号の立ち下げ時においては、前記ＮＭＯＳトランジスタのソース電位を変化させるタイミングを、前記ＰＭＯＳトランジスタのソース電位を変化させるタイミングより遅くした。

【００１３】請求項６に記載の発明は、請求項３又は４に記載の出力回路と、入力信号を前記第１の入力信号とその第１の入力信号と同期して同方向に変化する第２の入力信号に変換し、その変換した第１及び第２の入力信号を前記出力回路に出力する入力信号変換回路とを備えた。

【００１４】請求項７に記載の発明は、請求項６に記載のレベルコンバータ回路において、前記入力信号変換回路は、高電位側電源と前記基準電圧レベルの電源との間に第１のカレントミラー回路と抵抗を直列に接続するとともに、前記入力信号に基づいて第１のカレントミラー回路を活性状態又は非活性状態に切り替える第１のスイッチ回路から構成し、第１のカレントミラー回路と抵抗との接続点から前記第１の入力信号を前記出力回路に出力する第１の入力信号変換回路部と、前記基準電圧レベルの電源と低電位側電源との間に第２のカレントミラー回路と抵抗を直列に接続するとともに、前記入力信号に基づいて第２のカレントミラー回路を活性状態又は非活性状態に切り替える第２のスイッチ回路から構成し、第２のカレントミラー回路と抵抗との接続点から前記第１の入力信号と同期して同方向に変化する前記第２の入力信号を前記出力回路に出力する第２の入力信号変換回路部とからなる。

【００１５】請求項８に記載の発明は、請求項６に記載のレベルコンバータ回路において、前記入力信号変換回路は、高電位側電源と前記基準電圧レベルの電源との間に第１及び第３のカレントミラー回路を直列に接続するとともに、前記入力信号に基づいて第１のカレントミラー回路を活性状態又は非活性状態に切り替える第１のスイッチ回路と、前記入力信号に基づいて第３のカレントミラー回路を前記第１のカレントミラー回路に対して相補動作させる第３のスイッチ回路とから構成し、両カレントミラー回路の接続点から前記第１の入力信号を前記出力回路に出力する第１の入力信号変換回路部と、前記基準電圧レベルの電源と低電位側電源との間に第２及び第４のカレントミラー回路を直列に接続するとともに、前記入力信号に基づいて第２のカレントミラー回路を活性状態又は非活性状態に切り替える第２のスイッチ回路と、前記入力信号に基づいて第４のカレントミラー回路を前記第２のカレントミラー回路に対して相補動作させる第４のスイッチ回路とから構成し、両カレントミラー回路の接続点から前記第１の入力信号と同期して同方向に変化する前記第２の入力信号を前記出力回路に出力する第２の入力信号変換回路部とからなる。

8

【００１６】請求項９に記載の発明は、請求項６に記載のレベルコンバータ回路において、前記入力信号は、前記基準電圧レベルと低電位側電源レベルとの間で変化する信号であって、前記入力信号変換回路は、高電位側電源と前記基準電圧レベルの電源との間に第１及び第３のカレントミラー回路を直列に接続するとともに、前記入力信号に基づいて第１のカレントミラー回路を活性状態又は非活性状態に切り替える第１のスイッチ回路と、前記入力信号に基づいて第３のカレントミラー回路を前記第１のカレントミラー回路に対して相補動作させる第３のスイッチ回路とから構成し、両カレントミラー回路の接続点から前記第１の入力信号を前記出力回路に出力する第１の入力信号変換回路部と、前記入力信号を前記第１の入力信号と同期して同方向に変化する前記第２の入力信号として前記出力回路に出力する第２の入力信号変換回路部とからなる。

【００１７】請求項１０に記載の発明は、請求項６に記載のレベルコンバータ回路において、前記入力信号変換回路は、前記第１の入力信号レベルを高電位側電源レベルに切り替える第１のカレントミラー回路と、前記第１の入力信号レベルを前記基準電圧レベルに切り替える第３のカレントミラー回路と、前記第１の入力信号のレベルを前記入力信号が変化するまで維持する第１のラッチ回路と、第１のカレントミラー回路を活性状態又は非活性状態に切り替える第１のスイッチ回路と、第１のカレントミラー回路に対して第３のカレントミラー回路を相補動作させる第３のスイッチ回路とから構成した第１の入力信号変換回路部と、前記第２の入力信号レベルを前記基準電圧レベルに切り替える第２のカレントミラー回路と、前記第２の入力信号レベルを低電位側電源に切り替える第４のカレントミラー回路と、前記第２の入力信号のレベルを前記入力信号が変化するまで維持する第２のラッチ回路と、第２のカレントミラー回路を活性状態又は非活性状態に切り替える第２のスイッチ回路と、第４のカレントミラー回路に対して第４のカレントミラー回路を相補動作させる第４のスイッチ回路とから構成した第２の入力信号変換回路部と、前記入力信号をワンショットパルス信号に変換し、第１及び第２のスイッチ回路を介して第１及び第２のカレントミラー回路を同期して所定時間だけ活性化させるとともに、第３及び第４のスイッチ回路を介して第３及び第４のカレントミラー回路を同期して所定時間だけ活性化させるワンショット回路とからなる。

【００１８】請求項１１に記載の発明は、請求項１～５のいずれかに記載の出力回路を、その出力段に備えた。

請求項１２に記載の発明は、請求項１～５のいずれかに

9

記載の出力回路を、その出力段に備えた。

【００１９】（作用）従って、請求項１に記載の発明によれば、電位制御回路２によって、入力信号ｉｎが第１のレベルになると、両トランジスタＴＰ，ＴＮのソース電位が同期して上昇されて、ＰＭＯＳトランジスタＴＰのソース電位が高電位側電源Ｖ１レベルとされ、ＮＭＯＳトランジスタＴＮのゲート・ソース間電圧がそのしきい値より低くされる。一方、入力信号ｉｎが第２のレベルになると、両トランジスタＴＰ，ＴＮのソース電位が同期して下降されて、ＮＭＯＳトランジスタＴＮのソース電位が低電位側電源Ｖ２レベルとされ、ＰＭＯＳトランジスタＴＰのゲート・ソース間電圧がそのしきい値より低くされる。つまり、各トランジスタＴＰＩ，ＴＮＩのゲートと、ソース・ドレインとの間に印加する電圧を外部電源Ｖ１，Ｖ２の差電圧以下としながら、外部電源Ｖ１，Ｖ２レベルの範囲でフル振幅動作する出力信号ｏｕｔが出力される。従って、各トランジスタＴＰＩ，ＴＮＩの耐圧を上げることなく、各トランジスタＴＰＩ，ＴＮＩの耐圧を超える振幅の出力信号ｏｕｔを出力することができる。

【００２０】請求項２に記載の発明によれば、基準電圧発生回路及びソース電位制御回路によって、入力信号が第１のレベルになると、両トランジスタのソース電位が同期して上昇されて、ＰＭＯＳトランジスタのソース電位が高電位側電源レベルとされ、ＮＭＯＳトランジスタのゲート・ソース間電圧がそのしきい値より低くされる。一方、入力信号が第２のレベルになると、両トランジスタのソース電位が同期して下降されて、ＮＭＯＳトランジスタのソース電位が低電位側電源レベルとされ、ＰＭＯＳトランジスタのゲート・ソース間電圧がそのしきい値より低くされる。つまり、各トランジスタのゲートと、ソース・ドレインとの間に印加する電圧を外部電源の差電圧以下としながら、外部電源レベルの範囲でフル振幅動作する出力信号が出力される。従って、各トランジスタの耐圧を上げることなく、各トランジスタの耐圧を超える振幅の出力信号を出力することができる。

【００２１】請求項３に記載の発明によれば、第１の入力信号が高電位側電源レベル、第２の入力信号が基準電圧レベルになると、第１及び第２のソースフォロワ回路によって、両トランジスタのソース電位が同期して上昇されて、ＰＭＯＳトランジスタのソース電位が高電位側電源レベルとされ、ＮＭＯＳトランジスタのゲート・ソース間電圧がそのしきい値より低くされる（ゲート・ソース間電圧ゼロ）。一方、第１の入力信号が基準電圧レベル、第２の入力信号が低電位側電源レベルになると、第１及び第２のソースフォロワ回路によって、両トランジスタのソース電位が同期して下降されて、ＮＭＯＳトランジスタのソース電位が低電位側電源レベルとされ、ＰＭＯＳトランジスタのゲート・ソース間電圧がそのしきい値より低くされる（ゲート・ソース間電圧ゼロ）。

10

つまり、各トランジスタのゲートと、ソース・ドレインとの間に印加する電圧を外部電源の差電圧以下としながら、外部電源レベルの範囲でフル振幅動作する出力信号が出力される。従って、各トランジスタの耐圧を上げることなく、各トランジスタの耐圧を超える振幅の出力信号を出力することができる。

【００２２】請求項４に記載の発明によれば、第１の入力信号が高電位側電源レベル、第２の入力信号が基準電圧レベルになると、第１及び第２のインバータ回路によって、両トランジスタのソース電位が同期して下降されて、ＮＭＯＳトランジスタのソース電位が低電位側電源レベルとされ、ＰＭＯＳトランジスタのゲート・ソース間電圧がそのしきい値より低くされる（ゲート・ソース間電圧ゼロ）。一方、第１の入力信号が基準電圧レベル、第２の入力信号が低電位側電源レベルになると、第１及び第２のインバータ回路によって、両トランジスタのソース電位が同期して上昇されて、ＰＭＯＳトランジスタのソース電位が高電位側電源レベルとされ、ＮＭＯＳトランジスタのゲート・ソース間電圧がそのしきい値より低くされる（ゲート・ソース間電圧ゼロ）。つまり、各トランジスタのゲートと、ソース・ドレインとの間に印加する電圧を外部電源の差電圧以下としながら、外部電源レベルの範囲でフル振幅動作する出力信号が出力される。従って、各トランジスタの耐圧を上げることなく、各トランジスタの耐圧を超える振幅の出力信号を出力することができる。

【００２３】請求項５に記載の発明によれば、ソース電位制御回路によって、出力信号の立ち上げ時においては、ＮＭＯＳトランジスタのソース電位を変化させるタイミングが、ＰＭＯＳトランジスタのソース電位を変化させるタイミングより早くされ、出力信号の立ち下げ時においては、ＮＭＯＳトランジスタのソース電位を変化させるタイミングが、ＰＭＯＳトランジスタのソース電位を変化させるタイミングより遅くされる。すると、両トランジスタのソース間にその耐圧を超える大きな電位差が生じることはない。従って、両トランジスタの破損を未然に防止できる。

【００２４】請求項６に記載の発明によれば、入力信号変換回路は、入力信号を第１の入力信号とその第１の入力信号と同期して同方向に変化する第２の入力信号に変換し、その変換した入力信号をそれぞれ出力回路に出力する。すると、出力回路では、第１及び第２の入力信号に基づいて、各トランジスタのゲートと、ソース・ドレインとの間に印加する電圧を外部電源の差電圧以下としながら、外部電源レベルの範囲でフル振幅動作する出力信号が出力される。従って、各トランジスタの耐圧を上げることなく、各トランジスタの耐圧を超える振幅の出力信号を出力することができる。

【００２５】請求項７に記載の発明によれば、第１の入力信号変換回路部は、入力信号に基づいて第１のカレン

11

トミラー回路を活性状態又は非活性状態に切り替えて、高電位側電源レベルと基準電圧レベルとの間で変化する第１の入力信号を生成し、その入力信号を出力回路に出力する。第２の入力信号変換回路部は、入力信号に基づいて第２のカレントミラー回路を活性状態又は非活性状態に切り替えて、基準電圧レベルと低電位側電源レベルとの間で変化し、かつ第１の入力信号と同期して同方向に変化する第２の入力信号を生成し、その入力信号を出力回路に出力する。すると、出力回路では、第１及び第２の入力信号に基づいて、各トランジスタのゲートと、ソース・ドレインとの間に印加する電圧を外部電源の差電圧以下としながら、外部電源レベルの範囲でフル振幅動作する出力信号が出力される。従って、各トランジスタの耐圧を上げることなく、各トランジスタの耐圧を超える振幅の出力信号を出力することができる。

【００２６】請求項８に記載の発明によれば、第１の入力信号変換回路部は、入力信号に基づいて第１及び第３のカレントミラー回路を活性状態又は非活性状態に切り替えて、高電位側電源レベルと基準電圧レベルとの間で変化する第１の入力信号を生成し、その入力信号を出力回路に出力する。第２の入力信号変換回路部は、入力信号に基づいて第２及び第４のカレントミラー回路を活性状態又は非活性状態に切り替えて、基準電圧レベルと低電位側電源レベルとの間で変化し、かつ第１の入力信号と同期して同方向に変化する第２の入力信号を生成し、その入力信号を出力回路に出力する。すると、出力回路では、第１及び第２の入力信号に基づいて、各トランジスタのゲートと、ソース・ドレインとの間に印加する電圧を外部電源の差電圧以下としながら、外部電源レベルの範囲でフル振幅動作する出力信号が出力される。従って、各トランジスタの耐圧を上げることなく、各トランジスタの耐圧を超える振幅の出力信号を出力することができる。

【００２７】請求項９に記載の発明によれば、第１の入力信号変換回路部は、入力信号に基づいて第１及び第３のカレントミラー回路を活性状態又は非活性状態に切り替えて、高電位側電源レベルと基準電圧レベルとの間で変化する第１の入力信号を生成し、その入力信号を出力回路に出力する。第２の入力信号変換回路部は、基準電圧レベルと低電位側電源レベルとの間で変化する入力信号を、第１の入力信号と同期して同方向に変化する第２の入力信号として出力回路に出力する。すると、出力回路では、第１及び第２の入力信号に基づいて、各トランジスタのゲートと、ソース・ドレインとの間に印加する電圧を外部電源の差電圧以下としながら、外部電源レベルの範囲でフル振幅動作する出力信号が出力される。従って、各トランジスタの耐圧を上げることなく、各トランジスタの耐圧を超える振幅の出力信号を出力することができる。

【００２８】請求項１０に記載の発明によれば、ワンショット回路は、入力信号をワンショットパルス信号に変換し、第１及び第２のスイッチ回路を介して第１及び第２のカレントミラー回路を同期して所定時間だけ活性化させるとともに、第３及び第４のスイッチ回路を介して第３及び第４のカレントミラー回路を同期して所定時間だけ活性化させる。すると、第１の入力信号変換回路部は、第１及び第３のカレントミラー回路が所定時間だけ活性化されるが第１のラッチ回路のラッチ動作によって、入力信号に基づく信号であって、高電位側電源レベルと基準電圧レベルとの間で変化する第１の入力信号を生成し、その入力信号を出力回路に出力する。第２の入力信号変換回路部は、第２及び第４のカレントミラー回路が所定時間だけ活性化されるが第２のラッチ回路のラッチ動作によって、入力信号に基づく信号であって、基準電圧レベルと低電位側電源レベルとの間で変化し、かつ第１の入力信号と同期して同方向に変化する第２の入力信号を生成し、その入力信号を出力回路に出力する。すると、出力回路では、第１及び第２の入力信号に基づいて、各トランジスタのゲートと、ソース・ドレインとの間に印加する電圧を外部電源の差電圧以下としながら、外部電源レベルの範囲でフル振幅動作する出力信号が出力される。従って、各トランジスタの耐圧を上げることなく、各トランジスタの耐圧を超える振幅の出力信号を出力することができる。

【００２９】請求項１１に記載の発明によれば、論理回路の出力段には請求項１～５のいずれかに記載の出力回路が備えられているので、CMOSインバータ回路の両トランジスタの耐圧を上げることなく、各トランジスタの耐圧を超える振幅の論理回路の出力信号を出力することができる。

【００３０】請求項１２に記載の発明によれば、オペアンプ回路の出力段には請求項１～５のいずれかに記載の出力回路が備えられているので、CMOSインバータ回路の両トランジスタの耐圧を上げることなく、各トランジスタの耐圧を超える振幅のオペアンプ回路の出力信号を出力することができる。

【００３１】

【発明の実施の形態】（第１の実施の形態）以下、本発明を具体化した第１の実施の形態を図２及び図３に従って説明する。

【００３２】図２は、本実施の形態における出力回路１０を示す。出力回路１０は、PMOSトランジスタTP1及びNMOSトランジスタTN1とからなるCMOSインバータ回路１１、電位制御回路を構成するソース電位制御回路としての第１及び第２のソースフォロワ回路１２，１３とから構成される。

【００３３】PMOSトランジスタTP1のソース、即ちノードＮ１には、前記第１のソースフォロワ回路１２を構成するNMOSトランジスタTN2を介して、外部から高電位側電源Vdd（５ボルト）が供給される。又、NMOSトランジスタTN1のソース、即ちノードＮ２には、前記第２のソースフォロワ回路１３を構成するPMOSトランジスタTP2を介して、外部から低電位側電源Vss（０ボルト）が供給される。尚、本実施の形態では、各トランジスタTP1，TN1の耐圧は、それぞれ２．５ボルトとなっている。そして、インバータ回路１１の入力端子には、電源Vdd，Vssの中間レベルで一定の基準電圧としての中間電圧Vb （２．５ボルト）が供給される。この中間電圧Vbは、出力回路１０と同一チップ上に搭載される電位制御回路を構成する基準電圧発生回路としての電圧発生回路１４にて生成される。

13

【００３４】前記NMOSトランジスタTN2のゲートには、図３に示すように中間電圧Vbレベルと高電位側電源Vddレベルとの間で変化する第１の入力信号ｉｎ１が入力される。そして、この第１の入力信号ｉｎ１が中間電圧Vb レベルになると、NMOSトランジスタTN2のソース、即ち前記ノードＮ１の電位がほぼ中間電圧Vb（Vb －Vth）レベルになる。一方、第１の入力信号ｉｎ１が高電位側電源Vddレベルになると、前記ノードＮ１の電位がほぼ高電位側電源Vdd（Vdd－Vth）レベルになる。

【００３５】前記PMOSトランジスタTP2のゲートには、図３に示すように低電位側電源Vssレベルと中間電圧Vb レベルとの間で変化する第２の入力信号ｉｎ２が入力される。そして、この第２の入力信号ｉｎ２が低電位側電源Vssレベルになると、PMOSトランジスタTP2のソース、即ち前記ノードＮ２の電位がほぼ低電位側電源Vss（Vss＋Vth）レベルになる。一方、第２の入力信号ｉｎ２が中間電圧Vb レベルになると、前記ノードＮ２の電位がほぼ中間電圧Vb （Vb ＋Vth）レベルになる。

【００３６】そして、出力回路１０は、第１及び第２の入力信号ｉｎ１，ｉｎ２に基づいて、インバータ回路１１の出力端子から電源Vdd，Vssレベルで変化する出力信号ｏｕｔが出力されるように構成されている。

【００３７】このように構成された出力回路１０は、図３に示すように動作する。即ち、第１の入力信号ｉｎ１が中間電圧Vb レベルになり、第２の入力信号ｉｎ２が低電位側電源Vssレベルになると、上記したようにノードＮ１の電位が中間電圧Vbレベルになり、ノードＮ２の電位が低電位側電源Vssレベルになる。

【００３８】ノードＮ１の電位が中間電圧Vb レベルになると、前記PMOSトランジスタTP1のゲート・ソース間電圧が０ボルトとなるため、該トランジスタTP1がオフされる。又、ノードＮ２の電位が低電位側電源Vssレベルになると、前記NMOSトランジスタTN1のゲート・ソース間電圧が２．５ボルトとなるため、該トランジスタTN1がオンされる。従って、出力回路１０の出力信号ｏｕｔは、低電位側電源Vssレベルになる。

【００３９】又、第１の入力信号ｉｎ１が高電位側電源Vddレベルになり、第２の入力信号ｉｎ２が中間電圧Vb レベルになると、上記したようにノードＮ１の電位が高電位側電源Vddレベルになり、ノードＮ２の電位が中間電圧Vb レベルになる。

【００４０】ノードＮ１の電位が高電位側電源Vddレベルになると、前記PMOSトランジスタTP1のゲート・ソース間電圧が２．５ボルトとなるため、該トランジスタTP1がオンされる。又、ノードＮ２の電位が中間電圧Vb レベルになると、前記NMOSトランジスタTN1のゲート・ソース間電圧が０ボルトとなるため、該トランジスタTN1がオフされる。従って、出力回路１０の出力信号ｏｕｔは、高電位側電源Vddレベルになる。

【００４１】つまり、本実施の形態の出力回路１０では、第１の入力信号ｉｎ１が中間電圧Vb レベルになり、第２の入力信号ｉｎ２が低電位側電源Vssレベルになると、その出力信号ｏｕｔが低電位側電源Vssレベルになり、第１の入力信号ｉｎ１が高電位側電源Vddレベルになり、第２の入力信号ｉｎ２が中間電圧Vb レベルになると、その出力信号ｏｕｔが高電位側電源Vddレベルになる。

【００４２】しかも、この出力回路１０では、各トランジスタTP1，TN1のゲートと、ソース・ドレインとの間において、その耐圧（２．５ボルト）を超える電圧を印加することなく、電源Vdd，Vssレベル（０～５ボルト）の範囲でフル振幅動作する出力信号ｏｕｔを出力することができる。尚、本実施の形態では、図３に示すように出力信号ｏｕｔの立ち上がり時において、第２の入力信号ｉｎ２の立ち上がりを第１の入力信号ｉｎ１の立ち上がりより早くし、ノードＮ２の電位を上昇させるタイミングをノードＮ１の電位を上昇させるタイミングより早くしている。又、出力信号ｏｕｔの立ち下がり時では、第２の入力信号ｉｎ２の立ち下がりを第１の入力信号ｉｎ１の立ち下がりより遅くし、ノードＮ２の電位を下降させるタイミングをノードＮ１の電位を下降させるタイミングより遅くしている。このようにすることで、ノードＮ１，Ｎ２間に各トランジスタTP1，TN1の耐圧を超える大きな電位差が生じないようにすることができる。従って、PMOSトランジスタTP1及びNMOSトランジスタTN1の破損が未然に防止される。

【００４３】上記したように、本実施の形態では、以下に示す作用効果を得ることができる。

（１）本実施の形態の出力回路１０では、各トランジスタTP1，TN1のゲートと、ソース・ドレインとの間において、その耐圧（２．５ボルト）を超える電圧を印加することなく、電源Vdd，Vssレベル（０～５ボルト）の範囲でフル振幅動作する出力信号ｏｕｔが出力される。つまり、この出力回路１０では、各トランジスタTP1，TN1の耐圧を上げることなく、各トランジスタTP1，TN1の耐圧を超える振幅の出力信号ｏｕｔを出力することができる。

15

【００４４】（２）本実施の形態では、図３に示すように出力信号ｏｕｔの立ち上がり時において、第２の入力信号ｉｎ２の立ち上がりを第１の入力信号ｉｎ１の立ち上がりより早くし、ノードＮ２の電位を上昇させるタイミングをノードＮ１の電位を上昇させるタイミングより早くするようにした。又、出力信号ｏｕｔの立ち下がり時では、第２の入力信号ｉｎ２の立ち下がりを第１の入力信号ｉｎ１の立ち下がりより遅くし、ノードＮ２の電位を下降させるタイミングをノードＮ１の電位を下降させるタイミングより遅くするようにした。そのため、ノードＮ１，Ｎ２間に各トランジスタＴＰ１，ＴＮ１の耐圧を超える大きな電位差が生じないようにすることができる。従って、ＰＭＯＳトランジスタＴＰ１及びＮＭＯＳトランジスタＴＮ１の破損を未然に防止することができる。

【００４５】（第２の実施の形態）以下、本発明を具体化した第２の実施の形態を図４に従って説明する。尚、本実施の形態では、図２に示す第１の実施の形態と同様の構成については同一の符号を付して、その詳細な説明を省略する。

【００４６】図４は、本実施の形態における出力回路１０ａを示す。本実施の形態の出力回路１０ａは、前記第１及び第２のソースフォロワ回路１２，１３が同じく電位制御回路を構成するソース電位制御回路としての第１及び第２のインバータ回路１５，１６に置換されている。即ち、ノードＮ１には第１のインバータ回路１５の出力信号が出力され、ノードＮ２には第２のインバータ回路１６の出力信号が出力される。

【００４７】第１のインバータ回路１５には、動作電源として高電位側電源Ｖdd及び中間電圧Ｖb レベルの電源が供給される。第１のインバータ回路１５の入力端子には、高電位側電源Ｖddレベルと中間電圧Ｖb レベルとの間で変化する第１の入力信号ｉｎ１が入力される。そして、この第１の入力信号ｉｎ１が高電位側電源Ｖddレベルになると、第１のインバータ回路１５の出力端子、即ち前記ノードＮ１の電位が中間電圧Ｖb レベルになる。一方、第１の入力信号ｉｎ１が中間電圧Ｖb レベルになると、前記ノードＮ１の電位が高電位側電源Ｖddレベルになる。

【００４８】第２のインバータ回路１６には、動作電源として中間電圧Ｖb レベルの電源及び低電位側電源Ｖssが供給される。第２のインバータ回路１６の入力端子には、中間電圧Ｖb レベルと低電位側電源Ｖssレベルとの間で変化する第２の入力信号ｉｎ２が入力される。そして、この第２の入力信号ｉｎ２が中間電圧Ｖb レベルになると、第２のインバータ回路１６の出力端子、即ち前記ノードＮ２の電位が低電位側電源Ｖssレベルになる。一方、第２の入力信号ｉｎ２が低電位側電源Ｖssレベルになると、前記ノードＮ２の電位が中間電圧Ｖb レベルになる。

【００４９】そして、出力回路１０ａは、第１及び第２の入力信号ｉｎ１，ｉｎ２に基づいて、インバータ回路１１の出力端子から電源Ｖdd，Ｖssレベルの範囲でフル振幅動作する出力信号ｏｕｔが出力されるように構成されている。

16

【００５０】このように構成された出力回路１０ａでは、第１の入力信号ｉｎ１が高電位側電源Ｖddレベルになり、第２の入力信号ｉｎ２が中間電圧Ｖb レベルになると、上記したようにノードＮ１の電位が中間電圧Ｖb レベルになり、ノードＮ２の電位が低電位側電源Ｖssレベルになる。

【００５１】ノードＮ１の電位が中間電圧Ｖb レベルになると、前記ＰＭＯＳトランジスタＴＰ１のゲート・ソース間電圧が０ボルトとなるため、該トランジスタＴＰ１がオフされる。又、ノードＮ２の電位が低電位側電源Ｖssレベルになると、前記ＮＭＯＳトランジスタＴＮ１のゲート・ソース間電圧が２．５ボルトとなるため、該トランジスタＴＮ１がオンされる。従って、出力回路１０ａの出力信号ｏｕｔは、低電位側電源Ｖssレベルになる。

【００５２】又、第１の入力信号ｉｎ１が中間電圧Ｖb レベルになり、第２の入力信号ｉｎ２が低電位側電源Ｖssレベルになると、上記したようにノードＮ１の電位が高電位側電源Ｖddレベルになり、ノードＮ２の電位が中間電圧Ｖb レベルになる。

【００５３】ノードＮ１の電位が高電位側電源Ｖddレベルになると、前記ＰＭＯＳトランジスタＴＰ１のゲート・ソース間電圧が２．５ボルトとなるため、該トランジスタＴＰ１がオンされる。又、ノードＮ２の電位が中間電圧Ｖb レベルになると、前記ＮＭＯＳトランジスタＴＮ１のゲート・ソース間電圧が０ボルトとなるため、該トランジスタＴＮ１がオフされる。従って、出力回路１０ａの出力信号ｏｕｔは、高電位側電源Ｖddレベルになる。

【００５４】つまり、本実施の形態の出力回路１０ａでは、第１の入力信号ｉｎ１が高電位側電源Ｖddレベルになり、第２の入力信号ｉｎ２が中間電圧Ｖb レベルになると、その出力信号ｏｕｔが低電位側電源Ｖssレベルになり、第１の入力信号ｉｎ１が中間電圧Ｖb レベルになり、第２の入力信号ｉｎ２が低電位側電源Ｖssレベルになると、その出力信号ｏｕｔが高電位側電源Ｖddレベルになる。

【００５５】しかも、この出力回路１０ａでは、各トランジスタＴＰ１，ＴＮ１のゲートと、ソース・ドレインとの間において、その耐圧（２．５ボルト）を超える電圧を印加することなく、電源Ｖdd，Ｖssレベル（０～５ボルト）の範囲でフル振幅動作する出力信号ｏｕｔを出力することができる。

【００５６】尚、本実施の形態においても前記第１の実施の形態と同様に、ノードＮ１，Ｎ２間に各トランジスタＴＰ１，ＴＮ１の耐圧を超える大きな電位差が生じないようにするために、出力信号ｏｕｔの立ち上がり時において、ノードＮ２の電位を上昇させるタイミングをノードＮ１の電位を上昇させるタイミングより早くし、出力信号ｏｕｔの立ち下がり時において、ノードＮ２の電位を下降させるタイミングをノードＮ１の電位を下降させるタイミングより遅くしている。

17

【００５７】即ち、本実施の形態では、出力信号ｏｕｔの立ち上がり時において、第２の入力信号ｉｎ２の立ち下がりを第１の入力信号ｉｎ１の立ち下がりより早くし、出力信号ｏｕｔの立ち下がり時において、第２の入力信号ｉｎ２の立ち上がりを第１の入力信号ｉｎ１の立ち上がりより遅くする。このようにすることで、ノードＮ１，Ｎ２間に各トランジスタＴＰ１，ＴＮ１の耐圧を超える大きな電位差が生じないため、ＰＭＯＳトランジスタＴＰ１及びＮＭＯＳトランジスタＴＮ１の破損を未然に防止することができる。

【００５８】上記したように、本実施の形態では、以下に示す作用効果を得ることができる。

（１）本実施の形態の出力回路１０ａでは、第１の実施の形態と同様に、各トランジスタＴＰ１，ＴＮ１のゲートと、ソース・ドレインとの間において、その耐圧（２．５ボルト）を超える電圧を印加することなく、電源Ｖdd，Ｖssレベル（０～５ボルト）の範囲でフル振幅動作する出力信号ｏｕｔが出力される。つまり、この出力回路１０ａでは、各トランジスタＴＰ１，ＴＮ１の耐圧を上げることなく、各トランジスタＴＰ１，ＴＮ１の耐圧を超える振幅の出力信号ｏｕｔを出力することができる。

【００５９】（２）本実施の形態では、前記第１及び第２のソースフォロワ回路１２，１３に代えて第１及び第２のインバータ回路１５，１６を使用しているため、ノードＮ１，Ｎ２の電位が各トランジスタＴＰ１，ＴＮ１のしきい値Ｖth低下する、或いは上昇することがない。従って、確実に出力信号ｏｕｔを電源Ｖdd，Ｖssレベルの範囲でフル振幅動作させることができる。

【００６０】（第３の実施の形態）以下、本発明を具体化した第３の実施の形態を図５に従って説明する。尚、本実施の形態では、図４に示す第２の実施の形態の出力回路１０ａを本実施の形態におけるレベルコンバータ回路２０の出力段に備えている。従って、第２の実施の形態と同様の構成については同一の符号を付して、その詳細な説明を省略する。

【００６１】図５は、本実施の形態のレベルコンバータ回路２０を示す。レベルコンバータ回路２０は、入力回路２１及び前記出力回路１０ａとから構成される。入力回路２１は、ＰＭＯＳトランジスタＴＰ３～ＴＰ６、ＮＭＯＳトランジスタＴＮ３～ＴＮ５、及び抵抗Ｒ１，Ｒ２とからなる。

【００６２】ＮＭＯＳトランジスタＴＮ３のドレインはＮＭＯＳトランジスタＴＮ４及びＰＭＯＳトランジスタＴＰ３を介して高電位側電源Ｖddに接続され、そのソースには低電位側電源Ｖssが供給される。ＮＭＯＳトランジスタＴＮ３のゲートには、中間電圧Ｖb レベルと低電位側電源Ｖssレベルとの間で変化する入力信号ｉｎ０が入力される。又、ＰＭＯＳトランジスタＴＮ４のゲートには中間電圧Ｖb が供給される。

【００６３】ＰＭＯＳトランジスタＴＰ３，ＴＰ４はカレントミラー回路２２を構成すべく、互いのゲートが接続されるとともに、そのゲートがＰＭＯＳトランジスタＴＰ３のドレインに接続される。ＰＭＯＳトランジスタＴＰ４のソースには高電位側電源Ｖddが供給され、そのドレインには抵抗Ｒ１を介して中間電圧Ｖb が供給される。そして、ＰＭＯＳトランジスタＴＰ４のドレインと抵抗Ｒ１との間のノードＮ３は、前記出力回路１０ａを構成する第１のインバータ回路１５の入力端子に接続される。つまり、ノードＮ３の電位が前記第１の入力信号ｉｎ１として第１のインバータ回路１５に入力される。

【００６４】一方、ＮＭＯＳトランジスタＴＮ５のドレインにはＰＭＯＳトランジスタＴＰ５を介して中間電圧Ｖb が供給され、そのソースには低電位側電源Ｖssが供給される。ＮＭＯＳトランジスタＴＮ５のゲートには前記入力信号ｉｎ０が入力される。

【００６５】ＰＭＯＳトランジスタＴＰ５，ＴＰ６はカレントミラー回路２３を構成すべく、互いのゲートが接続されるとともに、そのゲートがＰＭＯＳトランジスタＴＰ５のドレインに接続される。ＰＭＯＳトランジスタＴＰ６のソースには中間電圧Ｖb が供給され、そのドレインには抵抗Ｒ２を介して低電位側電源Ｖssが供給される。そして、ＰＭＯＳトランジスタＴＰ６のドレインと抵抗Ｒ２との間のノードＮ４は、前記出力回路１０ａを構成する第２のインバータ回路１６の入力端子に接続される。つまり、ノードＮ４の電位が前記第２の入力信号ｉｎ２として第２のインバータ回路１６に入力される。

【００６６】尚、本実施の形態では、抵抗Ｒ２の抵抗値が抵抗Ｒ１の抵抗値より小さくなるように設定され、ＰＭＯＳトランジスタＴＰ６のドレイン電流がＰＭＯＳトランジスタＴＰ４のドレイン電流より小さくなるように設定されている。

【００６７】このように構成されたレベルコンバータ回路２０では、入力信号ｉｎ０が中間電圧Ｖb レベルになると、ＮＭＯＳトランジスタＴＮ３，ＴＮ５がオンされる。すると、ＮＭＯＳトランジスタＴＮ４のソース電位が下降し、該トランジスタＴＮ４がオンされる。このＮＭＯＳトランジスタＴＮ４がオンされるとカレントミラー回路２２が動作し、ノードＮ３にはＰＭＯＳトランジスタＴＰ４を介して高電位側電源Ｖddが供給される。そして、ノードＮ３の電位、即ち第１の入力信号ｉｎ１が高電位側電源Ｖddレベルになる。

【００６８】又、ＮＭＯＳトランジスタＴＮ５のオンに基づいてカレントミラー回路２３が動作し、ノードＮ４にはＰＭＯＳトランジスタＴＰ６を介して中間電圧Ｖb が供給される。そして、ノードＮ４の電位、即ち第２の入力信号ｉｎ２が中間電圧Ｖb レベルになる。

19

【００６９】こうして、第１の入力信号ｉｎ１が高電位側電源Ｖddレベルになり、第２の入力信号ｉｎ２が中間電圧Ｖb レベルになると、前記出力回路１０ａは第２の実施の形態と同様に動作し、その出力信号ｏｕｔは低電位側電源Ｖssレベルになる。

【００７０】一方、入力信号ｉｎ０が低電位側電源Ｖssレベルになると、ＮＭＯＳトランジスタＴＮ３，ＴＮ５がオフされる。すると、ＮＭＯＳトランジスタＴＮ４がオフされ、カレントミラー回路２２が非動作状態となって、ノードＮ３の電荷が抵抗Ｒ１を介して放出される。そして、ノードＮ３の電位、即ち第１の入力信号ｉｎ１が中間電圧Ｖb レベルになる。

【００７１】又、ＮＭＯＳトランジスタＴＮ５のオフに基づいて、カレントミラー回路２３が非動作状態となり、ノードＮ４の電荷が抵抗Ｒ２を介して放出される。そして、ノードＮ４の電位、即ち第２の入力信号ｉｎ２が低電位側電源Ｖssレベルになる。

【００７２】こうして、第１の入力信号ｉｎ１が中間電圧Ｖb レベルになり、第２の入力信号ｉｎ２が低電位側電源Ｖssレベルになると、前記出力回路１０ａは第２の実施の形態と同様に動作し、その出力信号ｏｕｔは高電位側電源Ｖddレベルになる。

【００７３】つまり、本実施の形態のレベルコンバータ回路２０では、入力信号ｉｎ０が中間電圧Ｖb レベルになると、その出力信号ｏｕｔが低電位側電源Ｖssレベルになり、入力信号ｉｎ０が低電位側電源Ｖssレベルになると、その出力信号ｏｕｔが高電位側電源Ｖddレベルになる。

【００７４】しかも、この出力回路１０ａでは、前記第２の実施の形態と同様に、各トランジスタＴＰ１，ＴＮ１のゲートと、ソース・ドレインとの間において、その耐圧（２．５ボルト）を超える電圧を印加することなく、電源Ｖdd，Ｖssレベル（０～５ボルト）の範囲でフル振幅動作する出力信号ｏｕｔを出力することができる。

【００７５】又、上記したように、抵抗Ｒ２の抵抗値が抵抗Ｒ１の抵抗値より小さくなるように設定されているため、出力信号ｏｕｔの立ち上がり時において、第２の入力信号ｉｎ２の立ち下がりが第１の入力信号ｉｎ１の立ち下がりより早くなる。つまり、ノードＮ２の電位の上昇するタイミングがノードＮ１の電位の上昇するタイミングより早くなる。又、ＰＭＯＳトランジスタＴＰ６のドレイン電流がＰＭＯＳトランジスタＴＰ４のドレイン電流より小さくなるように設定されているため、出力信号ｏｕｔの立ち下がり時において、第２の入力信号ｉｎ２の立ち上がりが第１の入力信号ｉｎ１の立ち上がりより遅くなる。つまり、ノードＮ２の電位の下降するタイミングがノードＮ１の電位の下降するタイミングより遅くなる。そのため、ノードＮ１，Ｎ２間に各トランジスタＴＰ１，ＴＮ１の耐圧を超える大きな電位差が生じないため、ＰＭＯＳトランジスタＴＰ１及びＮＭＯＳトランジスタＴＮ１の破損を未然に防止することができる。

20

【００７６】上記したように、本実施の形態では、以下に示す作用効果を得ることができる。

（１）本実施の形態の出力回路１０ａでは、第２の実施の形態と同様に、各トランジスタＴＰ１，ＴＮ１のゲートと、ソース・ドレインとの間において、その耐圧（２．５ボルト）を超える電圧を印加することなく、電源Ｖdd，Ｖssレベル（０～５ボルト）の範囲でフル振幅動作する出力信号ｏｕｔが出力される。つまり、この出力回路１０ａでは、各トランジスタＴＰ１，ＴＮ１の耐圧を上げることなく、各トランジスタＴＰ１，ＴＮ１の耐圧を超える振幅の出力信号ｏｕｔを出力することができる。

【００７７】（２）しかも、中間電圧Ｖb レベルと低電位側電源Ｖssレベルとの間で変化する１つの入力信号ｉｎ０のみで、前記出力信号ｏｕｔが出力される。従って、第２の実施の形態と比較して、入力する信号数を減らすことができるため、その信号線を少なくすることができる。

【００７８】（第４の実施の形態）以下、本発明を具体化した第４の実施の形態を図６に従って説明する。尚、本実施の形態では、図４に示す第２の実施の形態の出力回路１０ａを本実施の形態におけるレベルコンバータ回路２０ａの出力段に備えている。従って、第２の実施の形態と同様の構成については同一の符号を付して、その詳細な説明を省略する。

【００７９】図６は、本実施の形態のレベルコンバータ回路２０ａを示す。レベルコンバータ回路２０ａは、入力回路２１ａ及び前記出力回路１０ａとから構成される。入力回路２１ａは、ＰＭＯＳトランジスタＴＰ７～ＴＰ１６及びＮＭＯＳトランジスタＴＮ６～ＴＮ１７とからなる。

【００８０】ＰＭＯＳトランジスタＴＰ７及びＮＭＯＳトランジスタＴＮ６は、ＣＭＯＳインバータ回路２４を構成している。インバータ回路２４には、動作電源として中間電圧Ｖb レベルの電源と、低電位側電源Ｖssが供給される。インバータ回路２４の入力端子には、中間電圧Ｖb レベルと低電位側電源Ｖssレベルとの間で変化する入力信号ｉｎ０が入力される。インバータ回路２４の出力端子は、次段のＣＭＯＳインバータ回路２５の入力端子に接続される。

【００８１】前記インバータ回路２５は、ＰＭＯＳトランジスタＴＰ８及びＮＭＯＳトランジスタＴＮ７からなる。インバータ回路２５には、動作電源として中間電圧Ｖb レベルの電源と、低電位側電源Ｖssが供給される。インバータ回路２５の出力端子は、ＮＭＯＳトランジスタＴＮ８のゲートに接続される。

【００８２】ＮＭＯＳトランジスタＴＮ８のドレインはＮＭＯＳトランジスタＴＮ９及びＰＭＯＳトランジスタＴＰ９を介して高電位側電源Ｖddに接続され、そのソースには低電位側電源Ｖssが供給される。ＮＭＯＳトランジスタ

21

ＴＮ９のゲートには中間電圧Ｖb が供給される。

【００８３】ＰＭＯＳトランジスタＴＰ９，ＴＰ１０はカレントミラー回路２６を構成すべく、互いのゲートが接続されるとともに、そのゲートがＰＭＯＳトランジスタＴＰ９のドレインに接続される。ＰＭＯＳトランジスタＴＰ１０のソースには高電位側電源Ｖddが供給され、そのドレインにはＮＭＯＳトランジスタＴＮ１０を介して中間電圧Ｖb が供給される。

【００８４】ＮＭＯＳトランジスタＴＮ１０，ＴＮ１１はカレントミラー回路２７を構成すべく、互いのゲートが接続されるとともに、そのゲートがＮＭＯＳトランジスタＴＮ１０のドレインに接続される。ＮＭＯＳトランジスタＴＮ１１のソースには中間電圧Ｖb が供給され、そのドレインにはＰＭＯＳトランジスタＴＰ１１を介して高電位側電源Ｖddが供給される。

【００８５】ＰＭＯＳトランジスタＴＰ１１，ＴＰ１２はカレントミラー回路２８を構成すべく、互いのゲートが接続されるとともに、そのゲートがＰＭＯＳトランジスタＴＰ１２のドレインに接続される。ＰＭＯＳトランジスタＴＰ１２のソースには高電位側電源Ｖddが供給され、そのドレインはＮＭＯＳトランジスタＴＮ１２，ＴＮ１３を介して低電位側電源Ｖssに接続される。ＮＭＯＳトランジスタＴＮ１２のゲートには中間電圧Ｖb が供給される。又、ＮＭＯＳトランジスタＴＮ１３のゲートには前記インバータ回路２４の出力端子が接続される。

【００８６】そして、前記ＰＭＯＳトランジスタＴＰ１１及びＮＭＯＳトランジスタＴＮ１１のドレイン、即ちノードＮ５は、前記出力回路１０ａを構成する第１のインバータ回路１５の入力端子に接続される。つまり、ノードＮ５の電位が前記第１の入力信号ｉｎ１として第１のインバータ回路１５に入力される。

【００８７】一方、前記インバータ回路２５の出力端子は、ＮＭＯＳトランジスタＴＮ１４のゲートに接続される。ＮＭＯＳトランジスタＴＮ１４のソースには低電位側電源Ｖssが供給され、そのドレインにはＰＭＯＳトランジスタＴＰ１３を介して中間電圧Ｖb が供給される。

【００８８】ＰＭＯＳトランジスタＴＰ１３，ＴＰ１４はカレントミラー回路２９を構成すべく、互いのゲートが接続されるとともに、そのゲートがＰＭＯＳトランジスタＴＰ１３のドレインに接続される。ＰＭＯＳトランジスタＴＰ１４のソースには中間電圧Ｖb が供給され、そのドレインにはＮＭＯＳトランジスタＴＮ１５を介して低電位側電源Ｖssが供給される。

【００８９】ＮＭＯＳトランジスタＴＮ１５，ＴＮ１６はカレントミラー回路３０を構成すべく、互いのゲートが接続されるとともに、そのゲートがＮＭＯＳトランジスタＴＮ１５のドレインに接続される。ＮＭＯＳトランジスタＴＮ１６のソースには低電位側電源Ｖssが供給され、そのドレインにはＰＭＯＳトランジスタＴＰ１５を介して中間電圧Ｖb が供給される。

22

【００９０】ＰＭＯＳトランジスタＴＰ１５，ＴＰ１６はカレントミラー回路３１を構成すべく、互いのゲートが接続されるとともに、そのゲートがＰＭＯＳトランジスタＴＰ１６のドレインに接続される。ＰＭＯＳトランジスタＴＰ１６のソースには中間電圧Ｖb が供給され、そのドレインにはＮＭＯＳトランジスタＴＮ１７を介して低電位側電源Ｖssが供給される。ＮＭＯＳトランジスタＴＮ１７のゲートには前記インバータ回路２４の出力端子が接続される。

【００９１】そして、前記ＰＭＯＳトランジスタＴＰ１５及びＮＭＯＳトランジスタＴＮ１６のドレイン、即ちノードＮ６は、前記出力回路１０ａを構成する第２のインバータ回路１６の入力端子に接続される。つまり、ノードＮ６の電位が前記第２の入力信号ｉｎ２として第２のインバータ回路１６に入力される。

【００９２】尚、本実施の形態では、ＮＭＯＳトランジスタＴＮ１６のドレイン電流がＮＭＯＳトランジスタＴＮ１１のドレイン電流より大きくなるように設定され、ＰＭＯＳトランジスタＴＰ１５のドレイン電流がＰＭＯＳトランジスタＴＰ１１のドレイン電流より小さくなるように設定されている。

【００９３】このように構成されたレベルコンバータ回路２０ａでは、入力信号ｉｎ０が低電位側電源Ｖssレベルになると、１段目のインバータ回路２４の出力信号が中間電圧Ｖb レベルになり、２段のインバータ回路２５の出力信号が低電位側電源Ｖssレベルになる。

【００９４】１段目のインバータ回路２４の出力信号が中間電圧Ｖb レベルになると、ＮＭＯＳトランジスタＴＮ１３がオンされる。すると、ＮＭＯＳトランジスタＴＮ１２のソース電位が下降し、該トランジスタＴＮ１２がオンされる。このＮＭＯＳトランジスタＴＮ１２がオンされると、カレントミラー回路２８が動作する。

【００９５】２段目のインバータ回路２５の出力信号が低電位側電源Ｖssレベルになると、ＮＭＯＳトランジスタＴＮ８がオフされる。すると、ＮＭＯＳトランジスタＴＮ９がオフされ、カレントミラー回路２６が非動作状態となる。そのため、カレントミラー回路２７も同様に非動作状態になる。

【００９６】従って、ノードＮ５にはＰＭＯＳトランジスタＴＰ１１を介して高電位側電源Ｖddが供給され、そのノードＮ５の電位が高電位側電源Ｖddレベル近傍まで上昇する。つまり、第１の入力信号ｉｎ１が高電位側電源Ｖddレベルになる。

【００９７】又、１段目のインバータ回路２４の出力信号が中間電圧Ｖb レベルになると、ＮＭＯＳトランジスタＴＮ１７がオンされる。このＮＭＯＳトランジスタＴＮ１７がオンされると、カレントミラー回路３１が動作する。

【００９８】２段目のインバータ回路２５の出力信号が低電位側電源Ｖssレベルになると、ＮＭＯＳトランジス

23

タTN14 がオフされる。このNMOSトランジスタTN14 がオフされると、カレントミラー回路２９が非動作状態となる。そのため、カレントミラー回路３０も同様に非動作状態になる。

【００９９】従って、ノードＮ６にはPMOSトランジスタTP15 を介して中間電圧Vb が供給され、そのノードＮ６の電位が中間電圧Vb レベル近傍まで上昇する。つまり、第２の入力信号ｉｎ２が中間電圧Vb レベルになる。

【０１００】こうして、第１の入力信号ｉｎ１が高電位側電源Vddレベルになり、第２の入力信号ｉｎ２が中間電圧Vb レベルになると、前記出力回路１０ａは第２の実施の形態と同様に動作し、その出力信号ｏｕｔは低電位側電源Vssレベルになる。

【０１０１】一方、入力信号ｉｎ０が中間電圧Vb レベルになると、１段目のインバータ回路２４の出力信号が低電位側電源Vssレベルになり、２段のインバータ回路２５の出力信号が中間電圧Vb レベルになる。

【０１０２】１段目のインバータ回路２４の出力信号が低電位側電源Vssレベルになると、NMOSトランジスタTN13 がオフされる。すると、NMOSトランジスタTN12 がオフされ、カレントミラー回路２８が非動作状態となる。

【０１０３】２段目のインバータ回路２５の出力信号が中間電圧Vb レベルになると、NMOSトランジスタTN8がオンされる。すると、NMOSトランジスタTN9のソース電位が下降し、該トランジスタTN9がオンされる。このNMOSトランジスタTN9がオンされるとカレントミラー回路２６が動作し、該回路２６の動作に連動してカレントミラー回路２７が動作する。

【０１０４】従って、ノードＮ５の電荷がNMOSトランジスタTN11 を介して放出され、そのノードＮ５の電位が中間電圧Vb レベル近傍まで下降する。つまり、第１の入力信号ｉｎ１が中間電圧Vb レベルになる。

【０１０５】又、１段目のインバータ回路２４の出力信号が低電位側電源Vssレベルになると、NMOSトランジスタTN17 がオフされる。このNMOSトランジスタTN17 がオフされると、カレントミラー回路３１が非動作状態となる。

【０１０６】２段目のインバータ回路２５の出力信号が中間電圧Vb レベルになると、NMOSトランジスタTN14 がオンされる。このNMOSトランジスタTN14 がオンされるとカレントミラー回路２９が動作し、該回路２９の動作に連動してカレントミラー回路３０が動作する。

【０１０７】従って、ノードＮ６の電荷がNMOSトランジスタTN16 を介して放出され、そのノードＮ６の電位が低電位側電源Vssレベル近傍まで下降する。つまり、第２の入力信号ｉｎ２が低電位側電源Vssレベルになる。

24

【０１０８】こうして、第１の入力信号ｉｎ１が中間電圧Vb レベルになり、第２の入力信号ｉｎ２が低電位側電源Vssレベルになると、前記出力回路１０ａは第２の実施の形態と同様に動作し、その出力信号ｏｕｔは高電位側電源Vddレベルになる。

【０１０９】つまり、本実施の形態のレベルコンバータ回路２０ａでは、入力信号ｉｎ０が低電位側電源Vssレベルになると、その出力信号ｏｕｔが低電位側電源Vssレベルになり、入力信号ｉｎ０が中間電圧Vb レベルになると、その出力信号ｏｕｔが高電位側電源Vddレベルになる。

【０１１０】しかも、この出力回路１０ａでは、前記第２の実施の形態と同様に、各トランジスタTP1，TN1のゲートと、ソース・ドレインとの間において、その耐圧（２．５ボルト）を超える電圧を印加することなく、電源Vdd，Vssレベル（０～５ボルト）の範囲でフル振幅動作する出力信号ｏｕｔを出力することができる。

【０１１１】又、上記したように、NMOSトランジスタTN16 のドレイン電流がNMOSトランジスタTN11 のドレイン電流より大きくなるように設定されているため、出力信号ｏｕｔの立ち上がり時において、第２の入力信号ｉｎ２の立ち下がりが第１の入力信号ｉｎ１の立ち下がりより早くなる。つまり、ノードＮ２の電位の上昇するタイミングがノードＮ１の電位の上昇するタイミングより早くなる。又、PMOSトランジスタTP15 のドレイン電流がPMOSトランジスタTP11 のドレイン電流より小さくなるように設定されているため、出力信号ｏｕｔの立ち下がり時において、第２の入力信号ｉｎ２の立ち上がりが第１の入力信号ｉｎ１の立ち上がりより遅くなる。つまり、ノードＮ２の電位の下降するタイミングがノードＮ１の電位の下降するタイミングより遅くなる。そのため、ノードＮ１，Ｎ２間に各トランジスタTP1，TN1の耐圧を超える大きな電位差が生じないため、PMOSトランジスタTP1及びNMOSトランジスタTN1の破損を未然に防止することができる。

【０１１２】上記したように、本実施の形態では、以下に示す作用効果を得ることができる。

（１）本実施の形態の出力回路１０ａでは、第２の実施の形態と同様に、各トランジスタTP1，TN1のゲートと、ソース・ドレインとの間において、その耐圧（２．５ボルト）を超える電圧を印加することなく、電源Vdd，Vssレベル（０～５ボルト）の範囲でフル振幅動作する出力信号ｏｕｔが出力される。つまり、この出力回路１０ａでは、各トランジスタTP1，TN1の耐圧を上げることなく、各トランジスタTP1，TN1の耐圧を超える振幅の出力信号ｏｕｔを出力することができる。

【０１１３】（２）しかも、中間電圧Vb レベルと低電位側電源Vssレベルとの間で変化する入力信号ｉｎ０のみで、前記出力信号ｏｕｔが出力される。従って、前記第２の実施の形態と比較して、入力する信号数を減らすことができるため、その信号線を少なくすることができる。

【０１１４】（３）又、前記第３の実施の形態と比較して、ノードＮ５，Ｎ６の電荷の放電を各トランジスタTN11，TN16 を介して行うため、その放電にかかる時間を短縮することができる。従って、本実施の形態では、前記第３の実施の形態と比較して、高速動作させることができる。

【０１１５】（第５の実施の形態）以下、本発明を具体化した第５の実施の形態を図７に従って説明する。尚、本実施の形態では、図６に示す第４の実施の形態と同様の構成については同一の符号を付して、その詳細な説明を省略する。

【０１１６】図７は、本実施の形態のレベルコンバータ回路２０ｂを示す。本実施の形態のレベルコンバータ回路２０ｂは、前記第４の実施の形態のレベルコンバータ回路２０ａからPMOSトランジスタTP13 ～TP16 及びNMOSトランジスタTN14 ～TN17 を省略したものである。そして、前記レベルコンバータ回路２０ａにおいて、１段目のインバータ回路２４の出力端子と、第２のインバータ回路１６の入力端子、即ちノードＮ６の電位の変化が同じであるため、本実施の形態では、そのノードＮ６にインバータ回路１６の出力端子が接続される。つまり、本実施の形態では、インバータ回路２４の出力信号を前記第２の入力信号ｉｎ２としている。

【０１１７】このようにしても、本実施の形態のレベルコンバータ回路２０ｂでは、前記第４の実施の形態と同様に動作する。つまり、入力信号ｉｎ０が低電位側電源Vssレベルになると、その出力信号ｏｕｔが低電位側電源Vssレベルになり、入力信号ｉｎ０が中間電圧Vb レベルになると、その出力信号ｏｕｔが高電位側電源Vddレベルになる。

【０１１８】しかも、この出力回路１０ａでは、前記第２の実施の形態と同様に、各トランジスタTP1，TN1のゲートと、ソース・ドレインとの間において、その耐圧（２．５ボルト）を超える電圧を印加することなく、電源Vdd，Vssレベル（０～５ボルト）の範囲でフル振幅動作する出力信号ｏｕｔを出力することができる。

【０１１９】上記したように、本実施の形態では、以下に示す作用効果を得ることができる。

（１）本実施の形態の出力回路１０ａでは、第２の実施の形態と同様に、各トランジスタTP1，TN1のゲートと、ソース・ドレインとの間において、その耐圧（２．５ボルト）を超える電圧を印加することなく、電源Vdd，Vssレベル（０～５ボルト）の範囲でフル振幅動作する出力信号ｏｕｔが出力される。つまり、この出力回路１０ａでは、各トランジスタTP1，TN1の耐圧を上げることなく、各トランジスタTP1，TN1の耐圧を超える振幅の出力信号ｏｕｔを出力することができる。

【０１２０】（２）しかも、中間電圧Vb レベルと低電位側電源Vssレベルとの間で変化する入力信号ｉｎ０のみで、前記出力信号ｏｕｔが出力される。従って、前記第２の実施の形態と比較して、入力する信号数を減らすことができるため、その信号線を少なくすることができる。

【０１２１】（３）又、本実施の形態のレベルコンバータ回路２０ｂは、前記第４の実施の形態のレベルコンバータ回路２０ａからPMOSトランジスタTP13 ～TP16 及びNMOSトランジスタTN14 ～TN17 を省略したものである。従って、回路構成を簡略化することができる。

【０１２２】（第６の実施の形態）以下、本発明を具体化した第６の実施の形態を図８に従って説明する。尚、本実施の形態では、図４に示す第２の実施の形態の出力回路１０ａを本実施の形態におけるレベルコンバータ回路２０ｃの出力段に備えている。従って、第２の実施の形態と同様の構成については同一の符号を付して、その詳細な説明を省略する。

【０１２３】図８は、本実施の形態のレベルコンバータ回路２０ｃを示す。レベルコンバータ回路２０ｃは、入力回路２１ｃ及び前記出力回路１０ａとから構成される。入力回路２１ｃは、インバータ回路３２～３６、ＡＮＤ回路３７、ＮＯＲ回路３８、抵抗及び容量よりなる積分回路３９、PMOSトランジスタTP17 ～TP24 及びNMOSトランジスタTN18 ～TN23 とからなる。

【０１２４】ＡＮＤ回路３７の一方の入力端子には中間電圧Vb レベルと低電位側電源Vssレベルとの間で変化する入力信号ｉｎ０が入力され、他方の入力端子にはインバータ回路３２及び積分回路３９を介して入力信号ｉｎ０が入力される。このインバータ回路３２と積分回路３９によって、遅延回路４０が構成されている。又、ＡＮＤ回路３７の各入力端子、即ちノードＮ７，Ｎ８には、ＮＯＲ回路３８の入力端子がそれぞれ接続される。尚、インバータ回路３２、ＡＮＤ回路３７及びＮＯＲ回路３８には、動作電源として中間電圧Vb レベルの電源と、低電位側電源Vssがそれぞれ供給される。

【０１２５】ＡＮＤ回路３７の出力端子は、NMOSトランジスタTN18 のゲートに接続される。NMOSトランジスタTN18 のドレインはNMOSトランジスタTN19 及びPMOSトランジスタTP17 を介して高電位側電源Vddに接続され、そのソースには低電位側電源Vssが供給される。NMOSトランジスタTN19 のゲートには中間電圧Vb が供給される。

【０１２６】PMOSトランジスタTP17，TP18 はカレントミラー回路４１を構成すべく、互いのゲートが接続されるとともに、そのゲートがPMOSトランジスタTP17 のドレインに接続される。PMOSトランジスタTP18 のソースには高電位側電源Vddが供給され、そのドレインはインバータ回路３３の入力端子に接続される。

25

26

27

【０１２７】インバータ回路３３，３４はラッチ回路４２を構成している。このインバータ回路３３，３４には、動作電源として高電位側電源Vddと、中間電圧Vbレベルの電源が供給される。インバータ回路３３の出力端子は、PMOSトランジスタTP19のドレインに接続される。PMOSトランジスタTP19のソースには高電位側電源Vddが供給される。

【０１２８】PMOSトランジスタTP19，TP20はカレントミラー回路４３を構成すべく、互いのゲートが接続されるとともに、そのゲートがPMOSトランジスタTP20のドレインに接続される。PMOSトランジスタTP20のソースには高電位側電源Vddが供給され、そのドレインはNMOSトランジスタTN20，TN21を介して低電位側電源Vssに接続される。NMOSトランジスタTN20のゲートには中間電圧Vbが供給される。又、NMOSトランジスタTN21のゲートには前記NOR回路３８の出力端子が接続される。

【０１２９】そして、前記PMOSトランジスタTP19のドレインとインバータ回路３３の出力端子との間のノードＮ９は、前記出力回路１０ａを構成する第１のインバータ回路１５の入力端子に接続される。つまり、ノードＮ９の電位が前記第１の入力信号ｉｎ１として第１のインバータ回路１５に入力される。

【０１３０】一方、前記AND回路３７の出力端子は、NMOSトランジスタTN22のゲートに接続される。NMOSトランジスタTN22のドレインにはPMOSトランジスタTP21を介して中間電圧Vbが供給され、そのソースには低電位側電源Vssが供給される。

【０１３１】PMOSトランジスタTP21，TP22はカレントミラー回路４４を構成すべく、互いのゲートが接続されるとともに、そのゲートがPMOSトランジスタTP21のドレインに接続される。PMOSトランジスタTP22のソースには中間電圧Vbが供給され、そのドレインはインバータ回路３５の入力端子に接続される。インバータ回路３５，３６はラッチ回路４５を構成している。このインバータ回路３５，３６には、動作電源として中間電圧Vbレベルの電源と、低電位側電源Vssが供給される。インバータ回路３５の出力端子は、PMOSトランジスタTP23のドレインに接続される。PMOSトランジスタTP23のソースには高電位側電源Vddが供給される。

【０１３２】PMOSトランジスタTP23，TP24はカレントミラー回路４６を構成すべく、互いのゲートが接続されるとともに、そのゲートがPMOSトランジスタTP24のドレインに接続される。PMOSトランジスタTP24のソースには中間電圧Vbが供給され、そのドレインにはNMOSトランジスタTN24を介して低電位側電源Vssが供給される。NMOSトランジスタTN24のゲートには中間電圧Vbが供給される。

【０１３３】そして、前記PMOSトランジスタTP23

28

のドレインとインバータ回路３５の出力端子との間のノードＮ１０は、前記出力回路１０ａを構成する第２のインバータ回路１６の入力端子に接続される。つまり、ノードＮ１０の電位が前記第２の入力信号ｉｎ２として第２のインバータ回路１６に入力される。

【０１３４】このように構成されたレベルコンバータ回路２０ｃでは、入力信号ｉｎ０が低電位側電源Vssレベルになると、ノードＮ７の電位は直ちに低電位側電源Vssレベルになり、ノードＮ８の電位は遅延回路４０によって所定時間経過後に低電位側電源Vssレベルから中間電圧Vbレベルになる。つまり、AND回路３７の出力信号が低電位側電源Vssレベルになり、NOR回路３８の出力信号が中間電圧Vbレベルから所定時間経過後に低電位側電源Vssレベルになる。

【０１３５】AND回路３７の出力信号が低電位側電源Vssレベルになると、NMOSトランジスタTN18がオフされる。すると、NMOSトランジスタTN19がオフされ、カレントミラー回路４１が非動作状態になる。

【０１３６】NOR回路３８の出力信号が中間電圧Vbレベルになると、NMOSトランジスタTN21がオンされる。すると、NMOSトランジスタTN20のソース電位が下降し、該トランジスタTN20がオンされる。このNMOSトランジスタTN20がオンされると、カレントミラー回路４３が動作する。

【０１３７】すると、ノードＮ９にはPMOSトランジスタTP19を介して高電位側電源Vddが供給され、そのノードＮ９の電位が高電位側電源Vddレベル近傍まで上昇する。つまり、第１の入力信号ｉｎ１が高電位側電源Vddレベルになる。このとき、ノードＮ９の電位が高電位側電源Vddレベルになると、ラッチ回路４２にてその電位が保持される。

【０１３８】そして、所定時間経過後にNOR回路３８の出力信号が低電位側電源Vssレベルになると、NMOSトランジスタTN21がオフされる。すると、NMOSトランジスタTN20がオフされ、カレントミラー回路４３が非動作状態となる。このとき、カレントミラー回路４３が非動作状態となるが、ノードＮ９の電位はラッチ回路４２にて高電位側電源Vddレベルに保持される。従って、入力信号ｉｎ０が低電位側電源Vssレベルになると、第１の入力信号ｉｎ１が高電位側電源Vddレベルになる。

【０１３９】又、AND回路３７の出力信号が低電位側電源Vssレベルになると、NMOSトランジスタTN22がオフされる。このNMOSトランジスタTN22がオフされると、カレントミラー回路４４が非動作状態となる。

【０１４０】NOR回路３８の出力信号が中間電圧Vbレベルになると、NMOSトランジスタTN23がオンされる。このNMOSトランジスタTN23がオンされると、カレントミラー回路４６が動作する。

29

【０１４１】すると、ノードＮ１０にはPMOSトランジスタTP23を介して中間電圧Vbが供給され、そのノードＮ１０の電位が中間電圧Vbレベル近傍まで上昇する。つまり、第２の入力信号ｉｎ２が中間電圧Vbレベルになる。このとき、ラッチ回路４５によって、ノードＮ１０の電位が中間電圧Vbレベルに保持される。

【０１４２】そして、所定時間経過後にNOR回路３８の出力信号が低電位側電源Vssレベルになると、NMOSトランジスタTN23がオフされる。このNMOSトランジスタTN23がオフされると、カレントミラー回路４６が非動作状態となる。このとき、カレントミラー回路４６が非動作状態となるが、ノードＮ１０の電位はラッチ回路４５にて中間電圧Vbレベルに保持される。従って、入力信号ｉｎ０が低電位側電源Vssレベルになると、第２の入力信号ｉｎ２が中間電圧Vbレベルになる。

【０１４３】又、このとき、本実施の形態では、入力信号ｉｎ０が低電位側電源Vssレベルになると、NOR回路３８と遅延回路４０によって、その入力信号ｉｎ０が中間電圧Vbレベルから所定時間経過後に低電位側電源Vssレベルになるワンショットパルス信号に変換される。そのため、NMOSトランジスタTN21，TN23のオン時間が短くなるので、該トランジスタTN21，TN23を流れる貫通電流を小さく抑えることができる。

【０１４４】こうして、第１の入力信号ｉｎ１が高電位側電源Vddレベルになり、第２の入力信号ｉｎ２が中間電圧Vbレベルになると、前記出力回路１０ａは第２の実施の形態と同様に動作し、その出力信号ｏｕｔは低電位側電源Vssレベルになる。

【０１４５】一方、入力信号ｉｎ０が中間電圧Vbレベルになると、ノードＮ７の電位は直ちに中間電圧Vbレベルになり、ノードＮ８の電位は遅延回路４０によって所定時間経過後に中間電圧Vbレベルから低電位側電源Vssレベルになる。つまり、AND回路３７の出力信号が中間電圧Vbレベルから所定時間経過後に低電位側電源Vssレベルになり、NOR回路３８の出力信号が低電位側電源Vssレベルになる。

【０１４６】NOR回路３８の出力信号が低電位側電源Vssレベルになると、NMOSトランジスタTN21がオフされる。すると、NMOSトランジスタTN20がオフされ、カレントミラー回路４３が非動作状態になる。

【０１４７】AND回路３７の出力信号が中間電圧Vbレベルになると、NMOSトランジスタTN18がオンされる。すると、NMOSトランジスタTN19のソース電位が下降し、該トランジスタTN19がオンされる。このNMOSトランジスタTN19がオンされると、カレントミラー回路４１が動作する。

【０１４８】すると、インバータ回路３３の入力端子にはPMOSトランジスタTP18を介して高電位側電源Vddが供給され、その入力端子の電位が高電位側電源Vdd

30

レベル近傍まで上昇する。つまり、ノードＮ９の電位、即ち第１の入力信号ｉｎ１が中間電圧Vbレベルになる。このとき、ラッチ回路４２によって、ノードＮ９の電位が中間電圧Vbレベルに保持される。

【０１４９】そして、所定時間経過後にAND回路３７の出力信号が低電位側電源Vssレベルになると、NMOSトランジスタTN18がオフされる。すると、NMOSトランジスタTN19がオフされ、カレントミラー回路４１が非動作状態となる。このとき、カレントミラー回路４１が非動作状態となるが、ノードＮ９の電位はラッチ回路４２にて中間電圧Vbレベルに保持される。従って、入力信号ｉｎ０が中間電圧Vbになると、第１の入力信号ｉｎ１が中間電圧Vbレベルになる。

【０１５０】又、NOR回路３８の出力信号が低電位側電源Vssレベルになると、NMOSトランジスタTN23がオフされる。このNMOSトランジスタTN23がオフされると、カレントミラー回路４６が非動作状態となる。

【０１５１】AND回路３７の出力信号が中間電圧Vbレベルになると、NMOSトランジスタTN22がオンされる。このNMOSトランジスタTN22がオンされると、カレントミラー回路４４が動作する。

【０１５２】すると、インバータ回路３５の入力端子にはPMOSトランジスタTP22を介して中間電圧Vbが供給され、その入力端子の電位が中間電圧Vbレベル近傍まで上昇する。つまり、ノードＮ１０の電位、即ち第２の入力信号ｉｎ２が低電位側電源Vssレベルになる。このとき、ラッチ回路４５によって、ノードＮ１０の電位が低電位側電源Vssレベルに保持される。

【０１５３】そして、所定時間経過後にAND回路３７の出力信号が低電位側電源Vssレベルになると、NMOSトランジスタTN22がオフされる。このNMOSトランジスタTN22がオフされると、カレントミラー回路４４が非動作状態となる。このとき、カレントミラー回路４４が非動作状態となるが、ノードＮ１０の電位はラッチ回路４５にて低電位側電源Vssレベルに保持される。従って、入力信号ｉｎ０が低電位側電源Vssレベルになると、第２の入力信号ｉｎ２が低電位側電源Vssレベルになる。

【０１５４】又、このとき、本実施の形態では、入力信号ｉｎ０が中間電圧Vbレベルになると、AND回路３７と遅延回路４０によって、その入力信号ｉｎ０が中間電圧Vbレベルから所定時間経過後に低電位側電源Vssレベルになるワンショットパルス信号に変換される。そのため、NMOSトランジスタTN18，TN22のオン時間が短くなるので、該トランジスタTN18，TN22を流れる貫通電流を小さく抑えることができる。

【０１５５】こうして、第１の入力信号ｉｎ１が中間電圧Vbレベルになり、第２の入力信号ｉｎ２が低電位側電源Vssレベルになると、前記出力回路１０ａは第２の

31

実施の形態と同様に動作し、その出力信号ｏｕｔは高電位側電源Ｖddレベルになる。

【０１５６】つまり、本実施の形態のレベルコンバータ回路２０ｃでは、入力信号ｉｎ０が低電位側電源Ｖssレベルになると、その出力信号ｏｕｔが低電位側電源Ｖssレベルになり、入力信号ｉｎ０が中間電圧Ｖb レベルになると、その出力信号ｏｕｔが高電位側電源Ｖddレベルになる。

【０１５７】しかも、この出力回路１０ａでは、前記第２の実施の形態と同様に、各トランジスタＴＰ１，ＴＮ１のゲートと、ソース・ドレインとの間において、その耐圧（２．５ボルト）を超える電圧を印加することなく、電源Ｖdd，Ｖssレベル（０～５ボルト）の範囲でフル振幅動作する出力信号ｏｕｔを出力することができる。

【０１５８】上記したように、本実施の形態では、以下に示す作用効果を得ることができる。

（１）本実施の形態の出力回路１０ａでは、第２の実施の形態と同様に、各トランジスタＴＰ１，ＴＮ１のゲートと、ソース・ドレインとの間において、その耐圧（２．５ボルト）を超える電圧を印加することなく、電源Ｖdd，Ｖssレベル（０～５ボルト）の範囲でフル振幅動作する出力信号ｏｕｔが出力される。つまり、この出力回路１０ａでは、各トランジスタＴＰ１，ＴＮ１の耐圧を上げることなく、各トランジスタＴＰ１，ＴＮ１の耐圧を超える振幅の出力信号ｏｕｔを出力することができる。

【０１５９】（２）しかも、中間電圧Ｖb レベルと低電位側電源Ｖssレベルとの間で変化する入力信号ｉｎ０のみで、前記出力信号ｏｕｔが出力される。従って、前記第２の実施の形態と比較して、入力する信号数を減らすことができるため、その信号線を少なくすることができる。

【０１６０】（３）又、本実施の形態のレベルコンバータ回路２０ｃでは、入力信号ｉｎ０が低電位側電源Ｖssレベルになると、ＮＯＲ回路３８と遅延回路４０によって、その入力信号ｉｎ０が中間電圧Ｖb レベルから所定時間経過後に低電位側電源Ｖssレベルになるワンショットパルス信号に変換される。そのため、ＮＭＯＳトランジスタＴＮ２１，ＴＮ２３のオン時間が短くなるので、該トランジスタＴＮ２１，ＴＮ２３を流れる貫通電流を小さく抑えることができる。又、入力信号ｉｎ０が中間電圧Ｖb レベルになると、ＡＮＤ回路３７と遅延回路４０によって、その入力信号ｉｎ０が中間電圧Ｖb レベルから所定時間経過後に低電位側電源Ｖssレベルになるワンショットパルス信号に変換される。そのため、ＮＭＯＳトランジスタＴＮ１８，ＴＮ２２のオン時間が短くなるので、該トランジスタＴＮ１８，ＴＮ２２を流れる貫通電流を小さく抑えることができる。従って、各トランジスタＴＮ１８，ＴＮ２１～ＴＮ２３を流れる貫通電流を小さく抑えることができるため、消費電力を削減することができる。

【０１６１】（第７の実施の形態）以下、本発明を具体

32

化した第７の実施の形態を図９に従って説明する。尚、本実施の形態では、図４に示す第２の実施の形態と同様の構成については同一の符号を付して、その詳細な説明を省略する。

【０１６２】図９は、本実施の形態におけるＮＡＮＤ回路５０を示す。ＮＡＮＤ回路５０の出力段に備えられる出力回路１０ｂは、第２の実施の形態の出力回路１０ａに対して、第１及び第２のインバータ回路１５，１６が第１及び第２のＮＡＮＤ回路５１，５２に置換されている。即ち、ノードＮ１には第１のＮＡＮＤ回路５１の出力信号が出力され、ノードＮ２には第２のＮＡＮＤ回路５２の出力信号が出力される。

【０１６３】第１のＮＡＮＤ回路５１には、動作電源として高電位側電源Ｖdd及び中間電圧Ｖb レベルの電源が供給される。第１のＮＡＮＤ回路５１の一方の入力端子にはレベルシフト用の電源５３を介して入力信号ｉｎ１１が入力され、その他方の入力端子にはレベルシフト用の電源５４を介して入力信号ｉｎ１２が入力される。

【０１６４】前記入力信号ｉｎ１１，ｉｎ１２は、低電位側電源Ｖssレベルと中間電圧Ｖbレベルとの間で変化する信号である。そして、レベルシフト用の電源５３，５４は、低電位側電源Ｖssレベルと中間電圧Ｖb レベルとの間で変化する入力信号ｉｎ１１，ｉｎ１２を中間電圧Ｖb レベルと高電位側電源Ｖddレベルとの間で変化する信号にシフトし、そのシフトした信号を第１のＮＡＮＤ回路５１に出力する。

【０１６５】第２のＮＡＮＤ回路５２には、動作電源として中間電圧Ｖb レベルの電源及び低電位側電源Ｖssが供給される。第２のＮＡＮＤ回路５２の一方の入力端子には前記入力信号ｉｎ１１が入力され、その他方の入力端子には前記入力信号ｉｎ１２が入力される。

【０１６６】このように構成された出力回路１０ｂでは、前記入力信号ｉｎ１１，ｉｎ１２がともに低電位側電源Ｖssレベルになると、該入力信号ｉｎ１１，ｉｎ１２がレベルシフト用の電源５３，５４によって中間電圧Ｖb レベルの信号にシフトされ、そのシフトされた信号が第１のＮＡＮＤ回路５１に入力される。又、第２のＮＡＮＤ回路５２には、低電位側電源Ｖssレベルの前記入力信号ｉｎ１１，ｉｎ１２が入力される。

【０１６７】すると、第１のＮＡＮＤ回路５１の出力信号、即ちノードＮ１の電位が高電位側電源Ｖddレベルになり、第２のＮＡＮＤ回路５２の出力信号、即ちノードＮ２の電位が中間電圧Ｖb レベルになる。こうして、ノードＮ１の電位が高電位側電源Ｖddレベルになり、ノードＮ２の電位が中間電圧Ｖb レベルになると、ＣＭＯＳインバータ回路１１は第２の実施の形態と同様に動作し、ＮＡＮＤ回路５０の出力信号ｏｕｔは高電位側電源Ｖddレベルになる。

【０１６８】又、前記入力信号ｉｎ１１，ｉｎ１２がともに中間電圧Ｖb レベルになると、該入力信号ｉｎ１

33

１，ｉｎ１２がレベルシフト用の電源５３，５４によって高電位側電源Ｖddレベルの信号にシフトされ、そのシフトされた信号が第１のＮＡＮＤ回路５１に入力される。又、第２のＮＡＮＤ回路５２には、中間電圧Ｖb レベルの前記入力信号ｉｎ１１，ｉｎ１２が入力される。

【０１６９】すると、第１のＮＡＮＤ回路５１の出力信号、即ちノードＮ１の電位が中間電圧Ｖb レベルになり、第２のＮＡＮＤ回路５２の出力信号、即ちノードＮ２の電位が低電位側電源Ｖssレベルになる。こうして、ノードＮ１の電位が中間電圧Ｖb レベルになり、ノードＮ２の電位が低電位側電源Ｖssレベルになると、ＣＭＯＳインバータ回路１１は第２の実施の形態と同様に動作し、ＮＡＮＤ回路５０の出力信号ｏｕｔは低電位側電源Ｖssレベルになる。

【０１７０】又、前記入力信号ｉｎ１１が中間電圧Ｖb レベルになり、前記入力信号ｉｎ１２が低電位側電源Ｖssレベルになると、レベルシフト用の電源５３，５４によって、入力信号ｉｎ１１が高電位側電源Ｖddレベルの信号にシフトされ、入力信号ｉｎ１２が中間電圧Ｖb レベルの信号にシフトされる。そして、そのシフトされた信号がそれぞれ第１のＮＡＮＤ回路５１に入力される。又、第２のＮＡＮＤ回路５２には、中間電圧Ｖb レベルの入力信号ｉｎ１１と、低電位側電源Ｖssレベルの入力信号ｉｎ１２が入力される。

【０１７１】すると、第１のＮＡＮＤ回路５１の出力信号、即ちノードＮ１の電位が高電位側電源Ｖddレベルになり、第２のＮＡＮＤ回路５２の出力信号、即ちノードＮ２の電位が中間電圧Ｖb レベルになる。こうして、ノードＮ１の電位が高電位側電源Ｖddレベルになり、ノードＮ２の電位が中間電圧Ｖb レベルになると、ＣＭＯＳインバータ回路１１は第２の実施の形態と同様に動作し、ＮＡＮＤ回路５０の出力信号ｏｕｔは高電位側電源Ｖddレベルになる。

【０１７２】又、前記入力信号ｉｎ１１が低電位側電源Ｖssレベルになり、前記入力信号ｉｎ１２が中間電圧Ｖb レベルになると、レベルシフト用の電源５３，５４によって、入力信号ｉｎ１１が中間電圧Ｖb レベルの信号にシフトされ、入力信号ｉｎ１２が高電位側電源Ｖddレベルの信号にシフトされる。そして、そのシフトされた信号がそれぞれ第１のＮＡＮＤ回路５１に入力される。又、第２のＮＡＮＤ回路５２には、低電位側電源Ｖssレベルの入力信号ｉｎ１１と、中間電圧Ｖb レベルの入力信号ｉｎ１２が入力される。

【０１７３】すると、第１のＮＡＮＤ回路５１の出力信号、即ちノードＮ１の電位が高電位側電源Ｖddレベルになり、第２のＮＡＮＤ回路５２の出力信号、即ちノードＮ２の電位が中間電圧Ｖb レベルになる。こうして、ノードＮ１の電位が高電位側電源Ｖddレベルになり、ノードＮ２の電位が中間電圧Ｖb レベルになると、ＣＭＯＳインバータ回路１１は第２の実施の形態と同様に動作

34

し、ＮＡＮＤ回路５０の出力信号ｏｕｔは高電位側電源Ｖddレベルになる。

【０１７４】つまり、本実施の形態のＮＡＮＤ回路５０では、前記入力信号ｉｎ１１，ｉｎ１２がともに中間電圧Ｖb レベルになると、その出力信号ｏｕｔが低電位側電源Ｖssレベルになり、前記入力信号ｉｎ１１，ｉｎ１２の内で少なくとも一方が低電位側電源Ｖssレベルになると、その出力信号ｏｕｔが高電位側電源Ｖddレベルになる。

【０１７５】しかも、この出力回路１０ｂでは、各トランジスタＴＰ１，ＴＮ１のゲートと、ソース・ドレインとの間において、その耐圧（２．５ボルト）を超える電圧を印加することなく、電源Ｖdd，Ｖssレベル（０～５ボルト）の範囲でフル振幅動作する出力信号ｏｕｔを出力することができる。

【０１７６】上記したように、本実施の形態では、以下に示す作用効果を得ることができる。

（１）本実施の形態の出力回路１０ｂでは、第２の実施の形態と同様に、各トランジスタＴＰ１，ＴＮ１のゲートと、ソース・ドレインとの間において、その耐圧（２．５ボルト）を超える電圧を印加することなく、電源Ｖdd，Ｖssレベル（０～５ボルト）の範囲でフル振幅動作する出力信号ｏｕｔが出力される。つまり、この出力回路１０ｂでは、各トランジスタＴＰ１，ＴＮ１の耐圧を上げることなく、各トランジスタＴＰ１，ＴＮ１の耐圧を超える振幅の出力信号ｏｕｔを出力することができる。

【０１７７】（第８の実施の形態）以下、本発明を具体化した第８の実施の形態を図１０に従って説明する。尚、本実施の形態では、図４に示す第２の実施の形態の出力回路１０ａを本実施の形態におけるオペアンプ回路６０の出力段に備えている。従って、第２の実施の形態と同様の構成については同一の符号を付して、その詳細な説明を省略する。

【０１７８】図１０は、本実施の形態のオペアンプ回路６０を示す。オペアンプ回路６０は、入力回路６１及び前記出力回路１０ａとから構成される。入力回路６１は、ＰＭＯＳトランジスタＴＰ２５，ＴＰ２６、ＮＭＯＳトランジスタＴＮ２４～ＴＮ２８、及び抵抗Ｒ３～Ｒ５とからなる。

【０１７９】ＮＭＯＳトランジスタＴＮ２４，ＴＮ２５は互いのソースが接続されるとともに、そのソースにはＮＭＯＳトランジスタＴＮ２６を介して低電位側電源Ｖssが供給される。ＮＭＯＳトランジスタＴＮ２６，ＴＮ２７はカレントミラー回路６２を構成すべく、互いのゲートが接続されるとともに、そのゲートがＮＭＯＳトランジスタＴＮ２７のゲートに接続される。ＮＭＯＳトランジスタＴＮ２７のドレインには抵抗Ｒ３を介して高電位側電源Ｖddが供給され、そのソースには低電位側電源Ｖssが供給される。そして、ＮＭＯＳトランジスタＴＮ２６，ＴＮ２７及び抵抗Ｒ３は定電流源を構成している。

35

【０１８０】前記ＮＭＯＳトランジスタＴＮ24 のドレインには、ＮＭＯＳトランジスタＴＮ28 及びＰＭＯＳトランジスタＴＰ25 を介して高電位側電源Ｖddが供給される。ＮＭＯＳトランジスタＴＮ28 のゲートには中間電圧Ｖb が供給される。

【０１８１】ＰＭＯＳトランジスタＴＰ25 ，ＴＰ26 はカレントミラー回路６３を構成すべく、互いのゲートが接続されるとともに、そのゲートがＰＭＯＳトランジスタＴＰ25 のドレインに接続される。ＰＭＯＳトランジスタＴＰ26 のソースには高電位側電源Ｖddが供給され、そのドレインには抵抗Ｒ４を介して中間電圧Ｖb が供給される。

【０１８２】又、前記ＮＭＯＳトランジスタＴＮ25 のドレインには抵抗Ｒ５を介して中間電圧Ｖb が供給される。このＮＭＯＳトランジスタＴＮ25 のゲートはオペアンプ回路６０の非反転入力端子であって、該ゲートには中間電圧Ｖb レベルと低電位側電源Ｖssレベルとの間で変化する入力信号ｉｎ２１が入力される。又、前記ＮＭＯＳトランジスタＴＮ24 のゲートはオペアンプ回路６０の反転入力端子であって、該ゲートには中間電圧Ｖb レベルと低電位側電源Ｖssレベルとの間で変化する入力信号ｉｎ２２が入力される。

【０１８３】そして、前記ＰＭＯＳトランジスタＴＰ26 と抵抗Ｒ４との間のノードＮ１１は、前記出力回路１０ａを構成する第１のインバータ回路１５の入力端子に接続される。つまり、ノードＮ１１の電位が前記第１の入力信号ｉｎ１として第１のインバータ回路１５に入力される。又、前記ＮＭＯＳトランジスタＴＮ25 と抵抗Ｒ５との間のノードＮ１２は、前記出力回路１０ａを構成する第２のインバータ回路１６の入力端子に接続される。つまり、ノードＮ１２の電位が前記第２の入力信号ｉｎ２として第２のインバータ回路１６に入力される。

【０１８４】尚、前記抵抗Ｒ４，Ｒ５は、ノードＮ１１，Ｎ１２間の電位差を中間電圧Ｖbレベル（２．５ボルト）に維持するものである。つまり、ノードＮ１１の電位が高電位側電源Ｖddレベル近傍まで上昇すると、ノードＮ１２の電位が中間電圧Ｖb レベル近傍まで上昇する。一方、ノードＮ１２の電位が低電位側電源Ｖssレベル近傍まで下降すると、ノードＮ１１の電位が中間電圧Ｖb レベル近傍まで下降する。

【０１８５】このように構成されたオペアンプ回路６０では、反転入力端子に入力される入力信号ｉｎ２２のレベルが、非反転入力端子に入力される入力信号ｉｎ２１のレベルより相対的に高くなると、ＮＭＯＳトランジスタＴＮ24 の電流駆動能力がＮＭＯＳトランジスタＴＮ25 の電流駆動能力より高くなる。すると、ＮＭＯＳトランジスタＴＮ28 のソース電位が下降し、該トランジスタＴＮ28 の電流駆動能力が高められる。このＮＭＯＳトランジスタＴＮ28 の電流駆動能力が高められると、ＰＭＯＳトランジスタＴＰ25 のドレイン電流、即ちＰＭＯＳトランジスタＴＰ26のドレイン電流が増加する。

36

【０１８６】又、言い換えれば、非反転入力端子に入力される入力信号ｉｎ２１のレベルが、反転入力端子に入力される入力信号ｉｎ２２のレベルより相対的に低くなるため、ＮＭＯＳトランジスタＴＮ25 の電流駆動能力が抑えられる。すると、ＮＭＯＳトランジスタＴＮ25 のドレイン電流が減少する。

【０１８７】そして、このように動作することで、ノードＮ１１の電位、即ち前記第１の入力信号ｉｎ１が高電位側電源Ｖddレベル近傍まで上昇し、ノードＮ１２の電位、即ち前記第２の入力信号ｉｎ２が中間電圧Ｖb レベル近傍まで上昇する。こうして、第１の入力信号ｉｎ１が高電位側電源Ｖddレベル近傍まで上昇し、第２の入力信号ｉｎ２が中間電圧Ｖb レベル近傍まで上昇すると、前記出力回路１０ａは第２の実施の形態と同様に動作し、その出力信号ｏｕｔは低電位側電源Ｖssレベル近傍まで下降する。

【０１８８】一方、反転入力端子に入力される入力信号ｉｎ２２のレベルが、非反転入力端子に入力される入力信号ｉｎ２１のレベルより相対的に低くなると、ＮＭＯＳトランジスタＴＮ24 の電流駆動能力がＮＭＯＳトランジスタＴＮ25 の電流駆動能力より低くなる。すると、ＮＭＯＳトランジスタＴＮ24 の電流駆動能力の低下に伴って、ＮＭＯＳトランジスタＴＮ28 の電流駆動能力が抑えられる。このＮＭＯＳトランジスタＴＮ28 の電流駆動能力が抑えられると、ＰＭＯＳトランジスタＴＰ25 のドレイン電流、即ちＰＭＯＳトランジスタＴＰ26 のドレイン電流が減少する。

【０１８９】又、言い換えれば、非反転入力端子に入力される入力信号ｉｎ２１のレベルが、反転入力端子に入力される入力信号ｉｎ２２のレベルより相対的に高くなるため、ＮＭＯＳトランジスタＴＮ25 の電流駆動能力が高められる。すると、ＮＭＯＳトランジスタＴＮ25 のドレイン電流が増加する。

【０１９０】そして、このように動作することで、ノードＮ１１の電位、即ち前記第１の入力信号ｉｎ１が中間電圧Ｖb レベル近傍まで下降し、ノードＮ１２の電位、即ち前記第２の入力信号ｉｎ２が低電位側電源Ｖssレベル近傍まで下降する。こうして、第１の入力信号ｉｎ１が中間電圧Ｖb レベル近傍まで下降し、第２の入力信号ｉｎ２が低電位側電源Ｖssレベル近傍まで下降すると、前記出力回路１０ａは第２の実施の形態と同様に動作し、その出力信号ｏｕｔは高電位側電源Ｖddレベル近傍まで上昇する。

【０１９１】しかも、この出力回路１０ａでは、前記第２の実施の形態と同様に、各トランジスタＴＰ1，ＴＮ1のゲートと、ソース・ドレインとの間において、その耐圧（２．５ボルト）を超える電圧を印加することなく、電源Ｖdd，Ｖssレベル（０～５ボルト）の範囲でフル振幅動作する出力信号ｏｕｔを出力することができる。

37

【０１９２】上記したように、本実施の形態では、以下に示す作用効果を得ることができる。

（１）本実施の形態の出力回路１０ａでは、第２の実施の形態と同様に、各トランジスタＴＰ1，ＴＮ1のゲートと、ソース・ドレインとの間において、その耐圧（２．５ボルト）を超える電圧を印加することなく、電源Ｖdd，Ｖssレベル（０～５ボルト）の範囲でフル振幅動作する出力信号ｏｕｔが出力される。つまり、この出力回路１０ａでは、各トランジスタＴＰ1，ＴＮ1の耐圧を上げることなく、各トランジスタＴＰ1，ＴＮ1の耐圧を超える振幅の出力信号ｏｕｔを出力することができる。

【０１９３】尚、本発明の実施の形態は以下のように変更してもよい。○上記各実施の形態では、ＣＭＯＳインバータ回路１１の入力端子、即ち両トランジスタＴＰ1，ＴＮ1のゲートに対して、電源Ｖdd，Ｖssの中間レベルで一定の中間電圧Ｖb を供給するようにしたが、その中間電圧Ｖb の電圧値が、高電位側電源ＶddレベルからＰＭＯＳトランジスタＴＰ1のしきい値だけ低い電圧と、低電位側電源ＶssレベルからＮＭＯＳトランジスタＴＮ1のしきい値だけ高い電圧との間であれば一定又は変動していてもよい。

【０１９４】○上記第３～第６及び第８の実施の形態では、図４に示す第２の実施の形態の出力回路１０ａを使用したが、図２に示す第１の実施の形態の出力回路１０を使用してもよい。

【０１９５】○上記各実施の形態では、両トランジスタＴＰ1，ＴＮ1のソース間、即ちノードＮ１，Ｎ２間に大きな電位差が生じないようにするために、図３に示すように出力信号ｏｕｔの立ち上がり時において、ノードＮ２の電位を上昇させるタイミングをノードＮ１の電位を上昇させるタイミングより早くし、出力信号ｏｕｔの立ち下がり時において、ノードＮ２の電位を下降させるタイミングをノードＮ１の電位を下降させるタイミングより遅くしたが、ノードＮ１，Ｎ２の電位を同時に変化するようにしてもよい。

【０１９６】○上記第６の実施の形態では、遅延回路４０をインバータ回路３２と、抵抗及び容量よりなる積分回路３９とから構成したが、この構成に限定されるものではない。例えば、インバータ回路を複数個直列に接続して遅延回路を構成してもよい。

38

【０１９７】

【発明の効果】以上詳述したように、本発明によれば、ＣＭＯＳインバータ回路からなる出力回路において、ＭＯＳトランジスタの耐圧を超える振幅の出力信号を出力し得る出力回路、及び、その出力回路を備えたレベルコンバータ回路、論理回路、オペアンプ回路を提供することができる。

【図面の簡単な説明】

【図１】　本発明の原理説明図である。

【図２】　第１の実施の形態における出力回路を示す回路図である。

【図３】　第１の実施の形態における出力回路の動作を示す波形図である。

【図４】　第２の実施の形態における出力回路を示す回路図である。

【図５】　第３の実施の形態におけるレベルコンバータ回路を示す回路図である。

【図６】　第４の実施の形態におけるレベルコンバータ回路を示す回路図である。

【図７】　第５の実施の形態におけるレベルコンバータ回路を示す回路図である。

【図８】　第６の実施の形態におけるレベルコンバータ回路を示す回路図である。

【図９】　第７の実施の形態におけるＮＡＮＤ回路を示す回路図である。

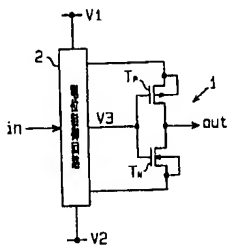
【図１０】　第８の実施の形態におけるオペアンプ回路を示す回路図である。

【符号の説明】

１	ＣＭＯＳインバータ回路
２	電位制御回路
ＴＰ	ＰＭＯＳトランジスタ
ＴＮ	ＮＭＯＳトランジスタ
Ｖ１	外部電源としての高電位側電源
Ｖ２	外部電源としての低電位側電源
Ｖ３	基準電圧
ｉｎ	入力信号
ｏｕｔ	出力信号

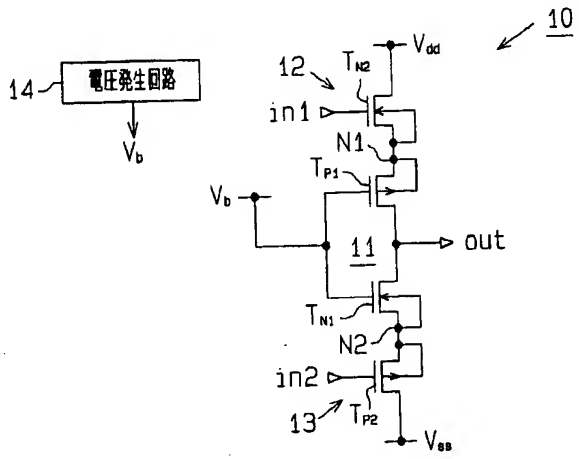
【図１】

本発明の原理説明図



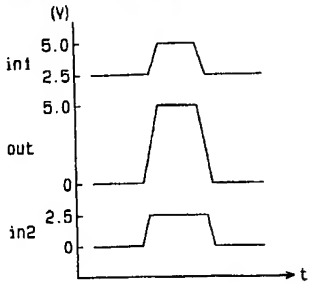
【図２】

第１の実施の形態における出力回路を示す回路図



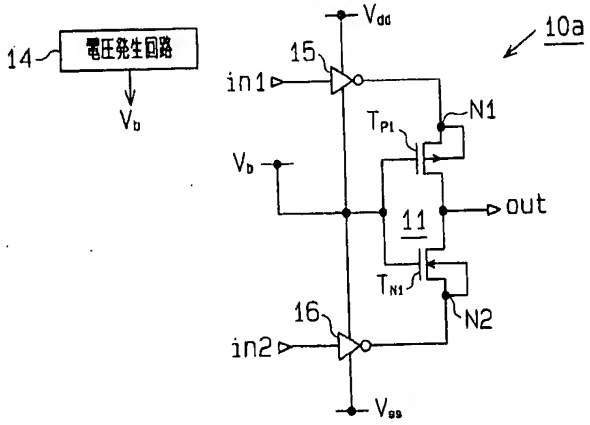
【図３】

第１の実施の形態における出力回路の動作を示す波形図



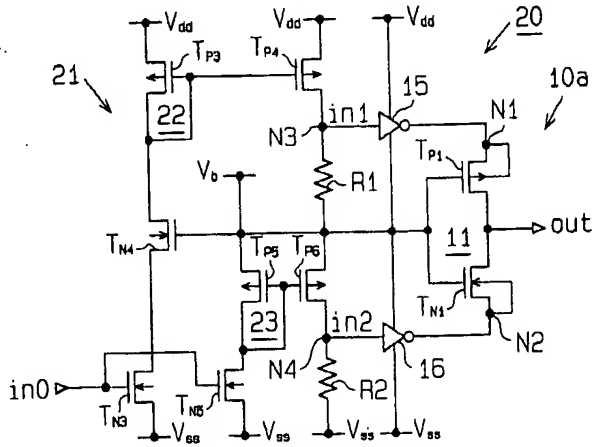
【図４】

第2の実施の形態における出力回路を示す回路図



【図５】

第3の実施の形態におけるレベルコンバータ回路を示す回路図



【図7】

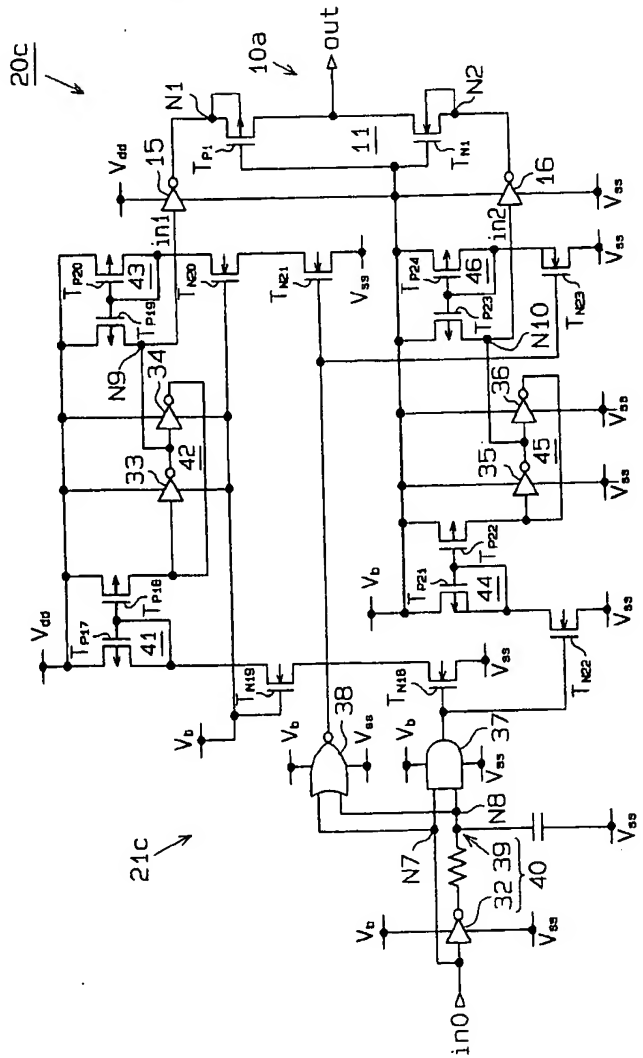
第5の実施の形態におけるレベルコンバータ回路を示す回路図

【図6】

第4の実施の形態におけるレベルコンバータ回路を示す回路図

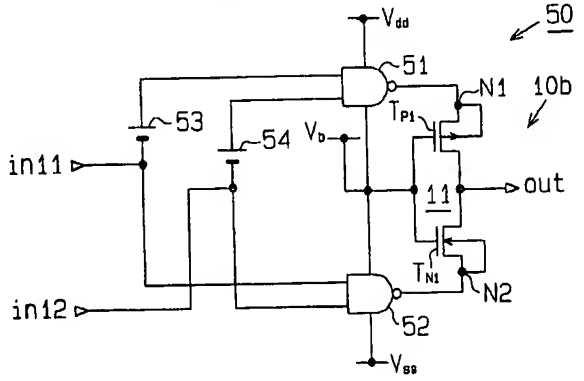
【図８】

第6の実施の形態におけるレベルコンバータ回路を示す回路図



【図９】

第7の実施の形態におけるNAND回路を示す回路図



【図１０】

第8の実施の形態におけるオペアンプ回路を示す回路図